

## ELECTRONIC DEVICE

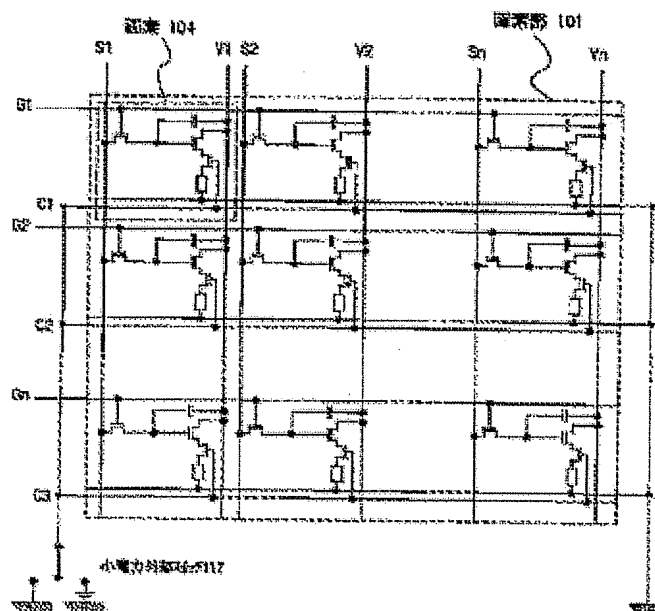
Patent number: JP2002149112  
Publication date: 2002-05-24  
Inventor: KOYAMA JUN  
Applicant: SEMICONDUCTOR ENERGY LAB  
Classification:  
- international: *H01L51/50; G09F9/30; G09G3/20; G09G3/30; H01L27/32; H05B33/14; H01L51/50; G09F9/30; G09G3/20; G09G3/30; H01L27/28; H05B33/14; (IPC1-7): G09G3/30; G09F9/30; G09G3/20; H05B33/14*  
- european:  
Application number: JP20000364003 20001130  
Priority number(s): JP20000364003 20001130; JP19990341272 19991130; JP20000260061 20000830

[Report a data error here](#)

### Abstract of JP2002149112

**PROBLEM TO BE SOLVED:** To provide an electronic device that prevents a frequency characteristics from being deteriorated caused by a large power external switch connected to the counter electrode, and thereby prevents the number of gradations from decreasing.

**SOLUTION:** This is an electronic device that comprises plural source signal lines, plural gate signal lines, plural power supply lines, plural power supply control lines, and plural pixels. The plural pixels have a switching TFT, an EL driving TFT, a power supply control TFT, and an EL element. The power supply controller TFT controls a potential difference between the cathode and anode which the EL element has.



**Family list**13 family members for: **JP2002149112**

Derived from 10 applications

- 1 Electronic device**  
**Inventor:** URUU OYAMA (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)  
**EC:** G09G3/32A **IPC:** G09G3/32; G09G3/32; (IPC1-7): H01L31/12 (+4)  
**Publication info:** **CN1304182 A** - 2001-07-18
- 2 Electric device**  
**Inventor:** KOYAMA JUN (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)  
**EC:** **IPC:** H05B33/12; H05B33/12  
**Publication info:** **CN1722921 A** - 2006-01-18
- 3 Gradation control for an active matrix EL display**  
**Inventor:** KOYAMA JUN (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)  
**EC:** G09G3/32A **IPC:** G09G3/32; G09G3/32; (IPC1-7): G09G3/30 (+1)  
**Publication info:** **EP1107220 A2** - 2001-06-13  
**EP1107220 A3** - 2002-08-28
- 4 ELECTRONIC DEVICE**  
**Inventor:** KOYAMA JUN **Applicant:** SEMICONDUCTOR ENERGY LAB  
**EC:** **IPC:** H01L51/50; G09F9/30; G09G3/20 (+13)  
**Publication info:** **JP2002149112 A** - 2002-05-24
- 5 ELECTRIC DEVICE**  
**Inventor:** KOYAMA JUN **Applicant:** SEMICONDUCTOR ENERGY LAB KK  
**EC:** G09G3/32A **IPC:** G09G3/32; G09G3/32; (IPC1-7): G09G3/30  
**Publication info:** **KR20010051967 A** - 2001-06-25
- 6 AN ELECTRIC DEVICE HAVING A LIGHT EMITTING DISPLAY DEVICE**  
**Inventor:** KOYAMA JUN (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB KK (JP)  
**EC:** G09G3/32A **IPC:** G09G3/30; G09G3/32; H05B33/12 (+3)  
**Publication info:** **KR20060004883 A** - 2006-01-16
- 7 Electric device**  
**Inventor:** KOYAMA JUN (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)  
**EC:** G09G3/32A **IPC:** G09G3/32; G09G3/32; (IPC1-7): G09G3/32  
**Publication info:** **TW587239B B** - 2004-05-11
- 8 Electric device**  
**Inventor:** KOYAMA JUN (JP) **Applicant:**  
**EC:** G09G3/32A **IPC:** G09G3/32; G09G3/32; (IPC1-7): H01L29/04 (+3)  
**Publication info:** **US6730966 B2** - 2004-05-04  
**US2001002703 A1** - 2001-06-07
- 9 Electric device**  
**Inventor:** KOYAMA JUN (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB (US)  
**EC:** G09G3/32A **IPC:** G09G3/32; H01L27/32; G09G3/32 (+2)  
**Publication info:** **US6982462 B2** - 2006-01-03  
**US2005001215 A1** - 2005-01-06
- 10 Electric device**  
**Inventor:** KOYAMA JUN (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB  
**EC:** H01L21/77T; H01L27/12 **IPC:** H01L27/12; H01L27/12  
**Publication info:** **US2006033161 A1** - 2006-02-16

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 ( J P )

## (12) 公開特許公報 ( A )

(11) 特許出願公開番号

特開2002-149112

( P 2 0 0 2 - 1 4 9 1 1 2 A )

(43) 公開日 平成14年5月24日 (2002.5.24)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
G09G 3/30		G09G 3/30	J 3K007
G09F 9/30	338	G09F 9/30	338 5C080
	365		365 Z 5C094
G09G 3/20	624	G09G 3/20	624 B
			624 C

審査請求 未請求 請求項の数13 O L (全34頁) 最終頁に続く

(21) 出願番号 特願2000-364003 ( P 2000 - 364003 )  
(22) 出願日 平成12年11月30日 (2000.11.30)  
(31) 優先権主張番号 特願平11-341272  
(32) 優先日 平成11年11月30日 (1999.11.30)  
(33) 優先権主張国 日本 ( J P )  
(31) 優先権主張番号 特願2000-260061 ( P 2000 - 260061 )  
(32) 優先日 平成12年8月30日 (2000.8.30)  
(33) 優先権主張国 日本 ( J P )

(71) 出願人 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地  
(72) 発明者 小山 潤  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

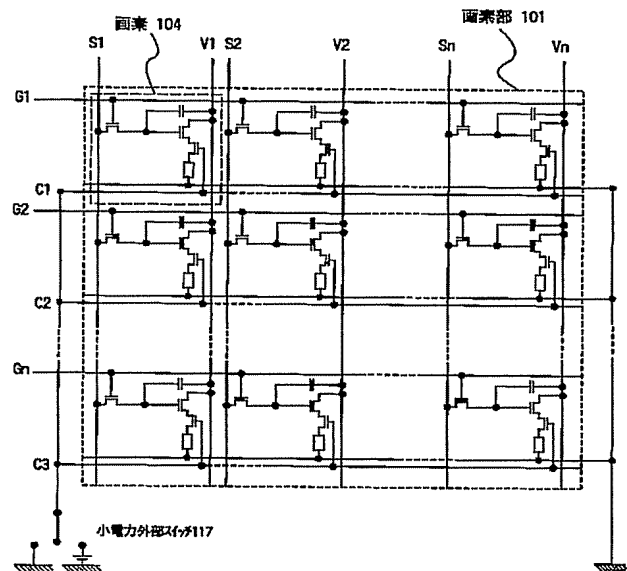
最終頁に続く

(54) 【発明の名称】 電子装置

(57) 【要約】

【課題】 対向電極と接続されている大電力外部スイッチに起因する周波数特性の低下を防ぎ、階調数の減少を防ぐことが可能となる電子装置を提供する。

【解決手段】 複数のソース信号線と、複数のゲート信号線と、複数の電源供給線と、複数の電源制御線と、複数の画素とを有する電子装置であって、複数の画素はスイッチング用TFTと、EL駆動用TFTと、電源制御用TFTと、EL素子とをそれぞれ有しており、電源制御用TFTは、EL素子が有する陰極と陽極との間の電位差を制御することを特徴とする電子装置。



## 【特許請求の範囲】

【請求項 1】複数のソース信号線と、複数のゲート信号線と、複数の電源供給線と、複数の電源制御線と、複数の画素とを有する電子装置であって、

前記複数の画素はスイッチング用 T F T と、E L 駆動用 T F T と、電源制御用 T F T と、E L 素子とをそれぞれ有しており、

前記電源制御用 T F T は、前記 E L 素子が有する陰極と陽極との間の電位差を制御することを特徴とする電子装置。

【請求項 2】複数のソース信号線と、複数のゲート信号線と、複数の電源供給線と、複数の電源制御線と、複数の画素とを有する電子装置であって、

前記複数の画素はスイッチング用 T F T と、E L 駆動用 T F T と、電源制御用 T F T と、E L 素子とをそれぞれ有しており、

1 フレーム期間中に前記 E L 素子が発光する発光期間をデジタルデータ信号を用いて制御し、

前記電源制御用 T F T は、前記 E L 素子が有する陰極と陽極との間の電位差を制御することを特徴とする電子装置。

【請求項 3】複数のソース信号線と、複数のゲート信号線と、複数の電源供給線と、複数の電源制御線と、複数の画素とを有する電子装置であって、

前記複数の画素はスイッチング用 T F T と、E L 駆動用 T F T と、電源制御用 T F T と、E L 素子とをそれぞれ有しており、

1 フレーム期間は  $n$  個のサブフレーム期間  $S F_1$ 、 $S F_2$ 、 $\dots$ 、 $S F_n$  とからなっており、

前記  $n$  個のサブフレーム期間  $S F_1$ 、 $S F_2$ 、 $\dots$ 、 $S F_n$  は、書き込み期間  $T a_1$ 、 $T a_2$ 、 $\dots$ 、 $T a_n$  と表示期間  $T s_1$ 、 $T s_2$ 、 $\dots$ 、 $T s_n$  とをそれぞれ有しており、

前記書き込み期間  $T a_1$ 、 $T a_2$ 、 $\dots$ 、 $T a_n$  においてデジタルデータ信号が前記複数の画素の全てに入力され、前記デジタルデータ信号によって、前記表示期間  $T s_1$ 、 $T a_2$ 、 $\dots$ 、 $T a_n$  において前記複数の E L 素子が

発光するか発光しないかが選択され、

前記書き込み期間  $T a_1$ 、 $T a_2$ 、 $\dots$ 、 $T a_n$  の長さは全て同じであり、

前記表示期間  $T s_1$ 、 $T s_2$ 、 $\dots$ 、 $T s_n$  の長さの比は、 $2^0 : 2^{-1} : \dots : 2^{-(n-1)}$  で表され、

前記電源制御用 T F T は、前記 E L 素子が有する陰極と陽極との間の電位差を制御することを特徴とする電子装置。

【請求項 4】請求項 1 乃至請求項 3 のいずれか 1 項において、

前記スイッチング用 T F T のソース領域とドレイン領域とは、一方は前記複数のソース信号線の 1 つと、一方は前記 E L 駆動用 T F T のゲート電極とそれぞれ接続されており、

前記 E L 駆動用 T F T のソース領域とドレイン領域とは、一方は前記複数の電源供給線の 1 つと、一方は前記電源制御用 T F T のソース領域とドレイン領域のいずれか一方とそれぞれ接続されており、

前記電源制御用 T F T のソース領域とドレイン領域の残る一方は前記 E L 素子が有する陰極または陽極と接続されており、

前記電源制御用 T F T のゲート電極は前記複数の電源制御線の 1 つと接続されていることを特徴とする電子装置。

10

【請求項 5】請求項 1 乃至請求項 3 のいずれか 1 項において、

前記スイッチング用 T F T のソース領域とドレイン領域とは、一方は前記複数のソース信号線の 1 つと、一方は前記 E L 駆動用 T F T のゲート電極とそれぞれ接続されており、

前記 E L 駆動用 T F T のソース領域とドレイン領域とは、一方は前記電源制御用 T F T のソース領域とドレイン領域のいずれか一方と、一方は前記 E L 素子が有する陰極または陽極と、それぞれ接続されており、

20

前記電源制御用 T F T のソース領域とドレイン領域の残る一方は前記複数の電源供給線の 1 つと接続されており、

前記電源制御用 T F T のゲート電極は前記複数の電源制御線の 1 つと接続されていることを特徴とする電子装置。

【請求項 6】請求項 1 乃至請求項 5 のいずれか 1 項において、前記 E L 駆動用 T F T のゲート電極と前記複数の電源供給線の 1 つとの間にコンデンサを有することを特徴とする電子装置。

30

【請求項 7】請求項 1 乃至請求項 6 のいずれか 1 項において、前記複数の E L 素子は、前記陽極と前記陰極との間に E L 層を有しており、前記 E L 層は低分子系有機物質またはポリマー系有機物質であることを特徴とする電子装置。

【請求項 8】請求項 7 において、前記低分子系有機物質は、 $A 1 q$ 、(トリス-8-キノリライト-アルミニウム) または T P D (トリフェニルアミン誘導体) からなることを特徴とする電子装置。

40

【請求項 9】請求項 7 において、前記ポリマー系有機物質は、P P V (ポリフェニレンビニレン)、P V K (ポリビニルカルバゾール) またはポリカーボネートからなることを特徴とする電子装置。

【請求項 10】請求項 1 乃至請求項 9 のいずれか 1 項において、前記 1 フレーム期間とは  $1/60$  s 以下であることを特徴とする電子装置。

【請求項 11】請求項 1 乃至請求項 10 のいずれか 1 項に記載の前記電子装置を用いることを特徴とするコンピュータ。

50

【請求項 12】請求項 1 乃至請求項 10 のいずれか 1 項

に記載の前記電子装置を用いることを特徴とするビデオカメラ。

【請求項 13】請求項 1 乃至請求項 10 のいずれか 1 項に記載の前記電子装置を用いることを特徴とする DVD プレーヤー。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

【0002】本発明は EL (エレクトロルミネッセンス) 素子を基板上に作り込んで形成された EL ディスプレイに関する。特に半導体素子 (半導体薄膜を用いた素子) を用いた EL ディスプレイ (電子装置) に関する。また EL ディスプレイを表示部に用いた電子機器に関する。

【0003】

【従来の技術】

【0004】近年、基板上に薄膜トランジスタ (以後、TFT) を形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。特に、ポリシリコン膜を用いた TFT は、従来のアモルファスシリコン膜を用いた TFT よりも電界効果移動度 (モビリティともいう) が高いので、高速動作が可能である。そのため、従来、基板外の駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。

【0005】このようなアクティブマトリクス型表示装置は、同一基板上に様々な回路や素子を作り込むことで製造コストの低減、表示装置の小型化、歩留まりの上昇、スループットの低減など、様々な利点が得られる。

【0006】そしてさらに、自発光型素子として EL 素子を有している EL ディスプレイの研究が活発化している。EL ディスプレイは有機 EL ディスプレイ (OLED: Organic EL Display) または有機ライトエミティングデバイス (OLED: Organic Light Emitting Device) も含む。

【0007】EL ディスプレイは、液晶表示装置と異なり自発光型である。EL 素子是一对の電極間に EL 層が挟まれた構造となっているが、EL 層は通常、積層構造となっている。代表的には、コダック・イーストマン・カンパニーの Tang らが提案した「正孔輸送層/発光層/電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が進められている EL ディスプレイは殆どこの構造を採用している。

【0008】また他にも、画素電極上に正孔注入層/正孔輸送層/発光層/電子輸送層、または正孔注入層/正孔輸送層/発光層/電子輸送層/電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【0009】本明細書において画素電極と対向電極の間に設けられる全ての層を総称して EL 層と呼ぶ。よって

上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全て EL 層に含まれる。

【0010】そして、上記構造でなる EL 層に一对の電極から所定の電圧をかけ、それにより発光層においてキャリアの再結合が起こって発光する。なお本明細書において EL 素子が発光することを、EL 素子が駆動すると呼ぶ。また、本明細書中では、陽極、EL 層及び陰極で形成される発光素子を EL 素子と呼ぶ。また、EL 素子の陽極と陰極との間に生じる電位差を EL 駆動電圧と呼ぶ。

【0011】EL 素子は、電場を加えることで発生するルミネッセンス (Electro Luminescence) が得られると、陽極層と、EL 層と、陰極層とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光 (蛍光) と三重項励起状態から基底状態に戻る際の発光 (リン光) とがあるが、本発明の EL ディスプレイは、どちらの発光を用いていても良い。

【0012】図 23 に従来の多階調方式 EL ディスプレイのブロック図を示す。図 23 の EL ディスプレイは、基板上に形成された TFT によって画素部 101、画素部の周辺に配置されたソース信号側駆動回路 102 及びゲート信号側駆動回路 103 を有している。また EL 駆動電圧を制御する外部スイッチ 116 が画素部 101 に接続されている。

【0013】ソース信号側駆動回路 102 は基本的にシフトレジスタ 102a、ラッチ (A) 102b、ラッチ (B) 102c を含む。また、シフトレジスタ 102a にはクロック信号 (CK) 及びスタートパルス (SP) が入力され、ラッチ (A) 102b にはデジタルデータ信号 (Digital Data Signals) が入力され、ラッチ (B) 102c にはラッチ信号 (Latch Signals) が入力される。

【0014】画素部 101 に入力されるデジタルデータ信号は、時分割階調データ信号発生回路 114 にて形成される。この回路はアナログ信号又はデジタル信号でなるビデオ信号 (画像情報を含む信号) を、時分割階調を行うためのデジタルデータ信号に変換すると共に、時分割階調表示を行うために必要なタイミングパルス等を発生させる回路である。

【0015】典型的には、時分割階調データ信号発生回路 114 には、1 フレーム期間を n ビット (n は 2 以上の整数) の階調に対応した複数のサブフレーム期間に分割する手段と、それら複数のサブフレーム期間において書き込み期間及び表示期間を選択する手段と、その表示期間の長さを設定する手段とが含まれる。

【0016】画素部 101 の構造は、図 18 に示すようなものが一般的であった。図 18 において、ゲート信号を入力するゲート信号線 (G1 ~ Gn) と、デジタルデータ信号を入力するソース信号線 (データ信号線ともい

う) (S1~Sn) とが画素部101に設けられている。なおデジタルデータ信号とは、デジタルのビデオ信号を意味する。

【0017】また電源供給線(V1~Vn)がソース信号線(S1~Sn)と平行して設けられている。電源供給線(V1~Vn)の電位を電源電位と呼ぶ。また配線(Vb1~Vbn)がゲート線(G1~Gn)と平行して設けられている。配線(Vb1~Vbn)は外部スイッチ116に接続されている。

【0018】画素部101にはマトリクス状に複数の画素104が配列される。画素104の拡大図を図19に示す。図19において、1701はスイッチング素子として機能するTFT(以下、スイッチング用TFTという)、1702はEL素子1703に供給する電流を制御するための素子(電流制御素子)として機能するTFT(以下、EL駆動用TFTという)、1704はコンデンサ(保持容量)である。

【0019】スイッチング用TFT1701のゲート電極は、ゲート信号を入力するゲート信号線(G1~Gn)のうちの1つであるゲート信号線1705に接続されている。スイッチングTFT1701のソース領域とドレイン領域は、一方がデジタルデータ信号を入力するソース信号線(S1~Sn)のうちの1つであるソース信号線1706に、もう一方が、EL駆動用TFT1702のゲート電極及びコンデンサ1704にそれぞれ接続されている。

【0020】また、EL駆動用TFT1702のソース領域とドレイン領域は、一方は電源供給線(V1~Vn)の1つである電源供給線1707に接続され、もう一方はEL素子1703に接続されている。またコンデンサ1704は、電源供給線(V1~Vn)の1つである電源供給線1707に接続されている。

【0021】EL素子1703は陽極と陰極と、陽極と陰極との間に設けられたEL層とからなる。陽極がEL駆動用TFT1702のソース領域またはドレイン領域と接続している場合、言い換えると陽極が画素電極の場合陰極は対向電極となる。逆に陰極がEL駆動用TFT1702のソース領域またはドレイン領域と接続している場合、言い換えると陰極が画素電極の場合、陽極は対向電極となる。本明細書において、対向電極の電位を対向電位と呼ぶ。対向電極の電位と画素電極の電位の電位差をEL駆動電圧と呼び、このEL駆動電圧がEL層にかかる。

【0022】EL素子の対向電極は配線(Vb1~Vbn)の1つを通じて外部スイッチ116に接続されている。(図18)

【0023】次に多階調方式ELディスプレイの駆動について説明する。ここではnビットデジタル駆動方式による2<sup>n</sup>階調表示について説明する。

【0024】図5に多階調方式ELディスプレイのデジ

タル方式の時分割階調表示におけるタイミングチャートを示す。まず、1フレーム期間をn個のサブフレーム期間(SF<sub>1</sub>~SF<sub>n</sub>)に分割する。なお、画素部の全ての画素が1つの画像を表示する期間を1フレーム期間

(F)と呼ぶ。また、1フレーム期間をさらに複数に分割した期間をサブフレーム期間と呼ぶ。階調数が多くなるにつれて1フレーム期間の分割数も増え、駆動回路を高い周波数で駆動しなければならない。

【0025】1つのサブフレーム期間は書き込み期間

(Ta)と表示期間(Ts)とに分けられる。書き込み期間とは、1サブフレーム期間中、全画素にデジタルデータ信号を入力する期間であり、表示期間(点灯期間とも呼ぶ)とは、EL素子の発光または非発光状態を選択し表示を行う期間を示している。

【0026】また、図5に示したEL駆動電圧は発光状態を選択されたEL素子のEL駆動電圧を表す。すなわち、発光状態を選択されたEL素子のEL駆動電圧(図5)は、書き込み期間中は0Vとなり、表示期間中はEL素子が発光する程度の大きさを有する。

【0027】対向電位は外部スイッチ116により制御され、対向電位は、書き込み期間において電源電位と同じ高さに保たれ、表示期間において電源電位との間にEL素子が発光する程度の電位差(図18では接地)を有する。

【0028】まず、それぞれのサブフレームが有する書き込み期間と表示期間について、図18と図19の記号を用いて詳しく説明し、その後、時分割階調表示について説明する。

【0029】まずゲート信号線G1にゲート信号が入力され、ゲート信号線G1に接続されている全てのスイッチング用TFT1701がオンの状態になる。そしてソース信号線(S1~Sn)に順にデジタルデータ信号が入力される。対向電位は電源供給線(V1~Vn)の電源電位と同じ高さに保たれている。デジタルデータ信号は「0」または「1」の情報を有している。「0」と「1」のデジタルデータ信号はそれぞれHiまたはLoのいずれかの電圧を有する信号を意味する。

【0030】そしてソース信号線(S1~Sn)に入力されたデジタルデータ信号は、オンの状態のスイッチング用TFT1701を介してEL駆動用TFT1702のゲート電極に入力される。またコンデンサ1704にもデジタルデータ信号が入力され保持される。

【0031】そして順にゲート信号線G2~Gnにゲート信号を入力することで上述した動作を繰り返し、全ての画素にデジタルデータ信号が入力され、各画素において入力されたデジタルデータ信号が保持される。全ての画素にデジタルデータ信号が入力されるまでの期間を書き込み期間と呼ぶ。

【0032】全ての画素にデジタルデータ信号が入力されると、全てのスイッチング用TFT1701はオフの

状態となる。そして対向電極に接続されている外部スイッチによって、対向電位は電源電位との間に EL 素子が発光する程度の電位差を有するようになる。

【0033】デジタルデータ信号が「0」の情報を持っていた場合、EL 駆動用 TFT 1702 はオフの状態となり EL 素子 1703 は発光しない。逆に、「1」の情報を持っていた場合、EL 駆動用 TFT 1702 はオンの状態となる。その結果 EL 素子 1703 の画素電極は電源電位に保たれ、EL 素子 1703 は発光する。このようにデジタルデータ信号が有する情報によって、EL 素子の発光または非発光状態が選択され、全ての画素が一斉に表示を行う。全ての画素が表示を行うことによって、画像が形成される。画素が表示を行う期間を表示期間と呼ぶ。

【0034】 $n$  個のサブフレーム期間 ( $SF_1 \sim SF_n$ ) がそれぞれ有する書き込み期間 ( $Ta_1 \sim Ta_n$ ) の長さは全て一定である。 $SF_1 \sim SF_n$  がそれぞれ有する表示期間 ( $TS$ ) をそれぞれ  $TS_1 \sim TS_n$  とする。

【0035】表示期間の長さは、 $TS_1 : TS_2 : TS_3 : \dots : TS_{(n-1)} : TS_n = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$  となるように設定する。この表示期間の組み合わせで  $2^n$  階調のうち所望の階調表示を行うことができる。

【0036】表示期間は  $TS_1 \sim TS_n$  のいずれかの期間である。ここでは  $TS_n$  の期間、所定の画素を点灯させたとする。

【0037】次に、再び書き込み期間に入り、全画素にデータ信号を入力したら表示期間に入る。このときは  $TS_1 \sim TS_{(n-1)}$  のいずれかの期間が表示期間となる。ここでは  $TS_{(n-1)}$  の期間、所定の画素を点灯させたとする。

【0038】以下、残りの  $(n-2)$  個のサブフレームについて同様の動作を繰り返し、順次  $TS_{(n-2)}$ 、 $TS_{(n-3)}$ 、 $\dots$ 、 $TS_1$  と表示期間を設定し、それぞれのサブフレームで所定の画素を点灯させたとする。

【0039】 $n$  個のサブフレーム期間が出現したら 1 フレーム期間を終えたことになる。このとき、画素が点灯していた表示期間の長さを積算することによって、その画素の階調がきまる。例えば、 $n=8$  のとき、全部の表示期間で画素が発光した場合の輝度を 100% とすると、 $TS_1$  と  $TS_2$  において画素が発光した場合には 75% の輝度が表現でき、 $TS_3$  と  $TS_4$  と  $TS_5$  を選択した場合には 16% の輝度が表現できる。

【0040】

【発明が解決しようとする課題】上述した多階調方式 EL 表示装置について、EL 表示装置を大型化した場合、画素数が増加し、EL 表示装置には大きな電流が流れる。この電流は EL 駆動電圧を制御する外部スイッチを通じて流れるため、EL 駆動電圧を制御する外部スイッチには高い電流能力が必要とされる。

【0041】EL 表示装置において、 $200 \text{ cd/m}^2$  の発光量を得る場合、数  $\text{mA/cm}^2$  の電流が必要である。例えば、 $5 \text{ mA/cm}^2$  の EL 材料を用いて 40 インチの表示装置を作る場合、表示に必要な電流値は約 25 A となり、多大なものとなってしまふ。

【0042】一般に、外部スイッチには所定の電流能力の規格が定められており、この電流能力の上限は、多階調方式 EL 表示装置の大型化の妨げとなってきた。

【0043】また、上述した多階調方式 EL 表示装置では、階調数が多くなるにつれて 1 フレーム期間の分割数も増え、駆動回路を高い周波数で駆動しなければならない。一方、外部スイッチ周波数特性は、電流能力が高くなるにつれて低下する傾向にある。その結果、多階調方式 EL 表示装置の大型化に伴い、その周波数特性は低下し、可能な階調数が減少してしまうという問題があった。

【0044】本発明は EL 表示装置の大型化に伴う以上のような問題点を解決するための手段を提供することを課題とする。すなわち、EL 駆動電圧を制御する外部スイッチによる電流値の制限を取り除くこと、及び、EL 駆動電圧を制御する外部スイッチに起因する EL 駆動回路の周波数特性の低下を防ぎ、階調数の減少を防ぐことを課題とする。

【0045】

【課題を解決するための手段】上記課題を解決するための手段として、本発明では EL 駆動用 TFT のソース領域またはドレイン領域の電源供給線とは接続されていない方と、EL 素子との間に、新たに TFT を設ける。前記 TFT のソース領域とドレイン領域は、一方が EL 駆動用 TFT と、一方が EL 素子とそれぞれ接続されている。またゲート電極は配線を通じて外部スイッチと接続されている。前記 TFT は、EL 駆動電圧を制御するスイッチング素子として機能する（以下、電源制御用 TFT という）。

【0046】上記構成による、電源制御用 TFT を用いた EL 駆動電圧の制御方法は、電圧駆動方式であり、電源制御用 TFT のゲート電極と接続されている外部スイッチには殆ど電流は流れない。従って、電源制御用 TFT のゲート電極と接続されている外部スイッチにおいては、電流値の制限は問題とならず、また、周波数特性の低下は殆ど無視できる。

【0047】上記構成によって、EL 駆動電圧は電源制御用 TFT のゲート電極に接続される外部スイッチを通じて制御することが可能となり、従来の EL 駆動電圧を制御するための、対向電極と接続されている外部スイッチを取り除くことが可能となる。従って、対向電極と接続されている外部スイッチによる EL 駆動回路の電流値の制限を取り除くことが可能となり、また、対向電極と接続されている外部スイッチに起因する周波数特性の低下を防ぎ、階調数の減少を防ぐことが可能となる。

【0048】なお電源制御用TFTは、スイッチング用TFT及びEL駆動用TFTと同時に形成することが可能である。

【0049】以下に本発明の構成を示す。

【0050】本発明によって、複数のソース信号線と、複数のゲート信号線と、複数の電源供給線と、複数の電源制御線と、複数の画素とを有する電子装置であって、前記複数の画素はスイッチング用TFTと、EL駆動用TFTと、電源制御用TFTと、EL素子とをそれぞれ有しており、前記電源制御用TFTは、前記EL素子が有する陰極と陽極との間の電位差を制御することを特徴とする電子装置が提供される。

【0051】本発明によって、複数のソース信号線と、複数のゲート信号線と、複数の電源供給線と、複数の電源制御線と、複数の画素とを有する電子装置であって、前記複数の画素はスイッチング用TFTと、EL駆動用TFTと、電源制御用TFTと、EL素子とをそれぞれ有しており、1フレーム期間中に前記EL素子が発光する期間をデジタルデータ信号を用いて制御し、前記電源制御用TFTは、前記EL素子が有する陰極と陽極との間の電位差を制御することを特徴とする電子装置が提供される。

【0052】本発明によって、複数のソース信号線と、複数のゲート信号線と、複数の電源供給線と、複数の電源制御線と、複数の画素とを有する電子装置であって、前記複数の画素はスイッチング用TFTと、EL駆動用TFTと、電源制御用TFTと、EL素子とをそれぞれ有しており、1フレーム期間はn個のサブフレーム期間 $SF_1$ 、 $SF_2$ 、…、 $SF_n$ とからなっており、前記n個のサブフレーム期間 $SF_1$ 、 $SF_2$ 、…、 $SF_n$ は、書き込み期間 $T_{a1}$ 、 $T_{a2}$ 、…、 $T_{an}$ と表示期間 $T_{s1}$ 、 $T_{s2}$ 、…、 $T_{sn}$ とをそれぞれ有しており、前記書き込み期間 $T_{a1}$ 、 $T_{a2}$ 、…、 $T_{an}$ においてデジタルデータ信号が前記複数の画素の全てに入力され、前記デジタルデータ信号によって、前記表示期間 $T_{s1}$ 、 $T_{s2}$ 、…、 $T_{sn}$ において前記複数のEL素子が発光するか発光しないかが選択され、前記書き込み期間 $T_{a1}$ 、 $T_{a2}$ 、…、 $T_{an}$ の長さは全て同じであり、前記表示期間 $T_{s1}$ 、 $T_{s2}$ 、…、 $T_{sn}$ の長さの比は、 $2^0 : 2^{-1} : \dots : 2^{-(n-1)}$ で表され、前記電源制御用TFTは、前記EL素子が有する陰極と陽極との間の電位差を制御することを特徴とする電子装置が提供される。

【0053】前記スイッチング用TFTのソース領域とドレイン領域とは、一方は前記複数のソース信号線の1つと、一方は前記EL駆動用TFTのゲート電極とそれぞれ接続されており、前記EL駆動用TFTのソース領域とドレイン領域とは、一方は前記複数の電源供給線の1つと、一方は前記電源制御用TFTのソース領域とドレイン領域のいずれか一方とそれぞれ接続されており、前記電源制御用TFTのソース領域とドレイン領域の残

る一方は前記EL素子が有する陰極または陽極と接続されており、前記電源制御用TFTのゲート電極は前記複数の電源制御線の1つと接続されていても良い。

【0054】前記スイッチング用TFTのソース領域とドレイン領域とは、一方は前記複数のソース信号線の1つと、一方は前記EL駆動用TFTのゲート電極とそれぞれ接続されており、前記EL駆動用TFTのソース領域とドレイン領域とは、一方は前記電源制御用TFTのソース領域とドレイン領域のいずれか一方と、一方は前記EL素子が有する陰極または陽極と、それぞれ接続されており、前記電源制御用TFTのソース領域とドレイン領域の残る一方は前記複数の電源供給線の1つと接続されており、前記電源制御用TFTのゲート電極は前記複数の電源制御線の1つと接続されていても良い。

【0055】前記EL駆動用TFTのゲート電極と前記複数の電源供給線の1つとの間にコンデンサを有していても良い。

【0056】前記複数のEL素子は、前記陽極と前記陰極との間にEL層を有しており、前記EL層は低分子系有機物質またはポリマー系有機物質であっても良い。

【0057】前記低分子系有機物質は、Alq<sub>3</sub>（トリス-8-キノリライト-アルミニウム）またはTPD（トリフェニルアミン誘導体）からなっても良い。

【0058】前記ポリマー系有機物質は、PPV（ポリフェニレンビニレン）、PVK（ポリビニルカルバゾール）またはポリカーボネートからなっても良い。

【0059】前記1フレーム期間とは1/60s以下であっても良い。

【0060】前記電子装置を用いることを特徴とするコンピュータ、ビデオカメラまたはDVDプレーヤーであっても良い。

【0061】なお、EL素子は、電場を加えることで発生するルミネッセンス（Electro Luminescence）が得られる有機化合物を含む層と、陽極層と、陰極層とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とがあるが、どちらの発光を用いても良い。

【0062】

【発明の実施の形態】

【0063】図1に本発明のELディスプレイのブロック図を示す。図1のELディスプレイは、基板上に形成されたTFTによって画素部101、画素部の周辺に配置されたソース信号側駆動回路102及びゲート信号側駆動回路103を有している。またEL駆動電圧を制御する小電力外部スイッチ117が画素部101に接続されている。図1に示したELディスプレイのブロック図は従来のものと構造上は同じであるが、画素部101に接続されている小電力外部スイッチ117は、従来の外部スイッチとは本質的に異なる。また、当然、画素部の



構成も従来のものとは異なる。なお、本実施の形態で E L ディスプレイはソース信号側駆動回路とゲート信号側駆動回路とを 1 つづつ有しているが、本発明においてソース信号側駆動回路は 2 つあってもよい。またゲート信号側駆動回路も 2 つあってもよい。

【 0 0 6 4 】ソース信号側駆動回路 1 0 2 は基本的にシフトレジスタ 1 0 2 a、ラッチ ( A ) 1 0 2 b、ラッチ ( B ) 1 0 2 c を含む。また、シフトレジスタ 1 0 2 a にはクロック信号 ( C K ) 及びスタートパルス ( S P ) が入力され、ラッチ ( A ) 1 0 2 b にはデジタルデータ信号 ( Digital Data Signals ) が入力され、ラッチ ( B ) 1 0 2 c にはラッチ信号 ( Latch Signals ) が入力される。

【 0 0 6 5 】画素部 1 0 1 に入力されるデジタルデータ信号は、時分割階調データ信号発生回路 1 1 4 にて形成される。この回路はアナログ信号又はデジタル信号でなるビデオ信号 ( 画像情報を含む信号 ) を、時分割階調を行うためのデジタルデータ信号に変換すると共に、時分割階調表示を行うために必要なタイミングパルス等を発生させる回路である。

【 0 0 6 6 】典型的には、時分割階調データ信号発生回路 1 1 4 には、1 フレーム期間を n ビット ( n は 2 以上の整数 ) の階調に対応した複数のサブフレーム期間に分割する手段と、それら複数のサブフレーム期間において書き込み期間及び表示期間を選択する手段と、その表示期間の長さを設定する手段とが含まれる。

【 0 0 6 7 】この時分割階調データ信号発生回路 1 1 4 は、本発明の E L ディスプレイの外部に設けられても良い。その場合、そこで形成されたデジタルデータ信号が本発明の E L ディスプレイに入力される構成となる。この場合、本発明の E L ディスプレイを表示ディスプレイとして有する電子機器 ( E L 表示装置 ) は、本発明の E L ディスプレイと時分割階調データ信号発生回路を別の部品として含むことになる。

【 0 0 6 8 】また、時分割階調データ信号発生回路 1 1 4 を I C チップなどの形で本発明の E L ディスプレイに実装しても良い。その場合、その I C チップで形成されたデジタルデータ信号が本発明の E L ディスプレイに入力される構成となる。この場合、本発明の E L ディスプレイを表示ディスプレイとして有する電子機器は、時分割階調データ信号発生回路を含む I C チップを実装した本発明の E L ディスプレイを部品として含むことになる。

【 0 0 6 9 】また最終的には、時分割階調データ信号発生回路 1 1 4 を画素部 1 0 1、ソース信号側駆動回路 1 0 2 及びゲート信号側駆動回路 1 0 3 と同一の基板上に T F T でもって形成しうる。この場合、E L ディスプレイに画像情報を含むビデオ信号を入力すれば全て基板上で処理することができる。この場合の時分割階調データ信号発生回路はポリシリコン膜を活性層とする T F T で形成しても良い。また、この場合、本発明の E L ディス

プレイをディスプレイとして有する電子機器は、時分割階調データ信号発生回路が E L ディスプレイ自体に内蔵されており、電子機器の小型化を図ることが可能である。

【 0 0 7 0 】図 2 に画素部 1 0 1 の構造を示す。ゲート信号を入力するゲート信号線 ( G 1 ~ G n ) とデジタルデータ信号を入力するソース信号線 ( データ信号線ともいう ) ( S 1 ~ S n ) とが画素部 1 0 1 に設けられている。なおデジタルデータ信号とは、デジタルのビデオ信号を意味する。

【 0 0 7 1 】また電源供給線 ( V 1 ~ V n ) がソース信号線 ( S 1 ~ S n ) と平行して設けられている。なお電源供給線 ( V 1 ~ V n ) はゲート信号線 ( G 1 ~ G n ) と平行になるように設けても良い。電源供給線 ( V 1 ~ V n ) の電位を電源電位と呼ぶ。

【 0 0 7 2 】また電源制御線 ( C 1 ~ C n ) がゲート線と平行して設けられている。また、電源制御線 ( C 1 ~ C n ) は外部スイッチ 1 1 7 に接続されている。なお電源制御線 ( C 1 ~ C n ) はソース線と平行になるように設けても良い。

【 0 0 7 3 】画素部 1 0 1 にはマトリクス状に複数の画素 1 0 4 が配列される。画素 1 0 4 の拡大図を図 3 に示す。図 3 において、1 0 5 はスイッチング用 T F T である。スイッチング用 T F T 1 0 5 のゲート電極は、ゲート信号を入力するゲート信号線 ( G 1 ~ G n ) のうちの 1 つであるゲート信号線 1 0 6 に接続されている。スイッチング T F T 1 0 5 のソース領域とドレイン領域は、一方がデジタルデータ信号を入力するソース信号線 ( S 1 ~ S n ) のうちの 1 つであるソース信号線 1 0 7 に、もう一方が E L 駆動用 T F T 1 0 9 のゲート電極及びコンデンサ 1 0 8 にそれぞれ接続されている。なお本実施の形態において、コンデンサ 1 0 8 はなくても良い。

【 0 0 7 4 】また、E L 駆動用 T F T 1 0 9 のソース領域とドレイン領域は、一方が電源供給線 ( V 1 ~ V n ) の 1 つである電源供給線 1 1 0 に接続され、もう一方が電源制御用 T F T 1 1 2 のソース領域またはドレイン領域に接続されている。電源制御用 T F T 1 1 2 のソース領域またはドレイン領域のもう一方は E L 素子 1 1 1 に接続されており、ゲート電極は、電源制御線 ( C 1 ~ C n ) の 1 つである電源制御線 1 1 3 に接続されている。電源制御線 ( C 1 ~ C n ) は小電力外部スイッチ 1 1 7 に接続されている。またコンデンサ 1 0 8 は、電源供給線 ( V 1 ~ V n ) の 1 つである電源供給線 1 1 0 に接続されている。

【 0 0 7 5 】E L 素子 1 1 1 は陽極と陰極と、陽極と陰極との間に設けられた E L 層とからなる。陽極が電源制御用 T F T 1 1 2 のソース領域またはドレイン領域と接続している場合、言い換えると陽極が画素電極の場合、陰極は対向電極となる。逆に陰極が電源制御用 T F T 1 1 2 のソース領域またはドレイン領域と接続している場

合、言い換えると陰極が画素電極の場合、陽極は対向電極となる。なお、本明細書において、対向電極の電位を対向電位と呼ぶ。対向電極の電位と画素電極の電位との電位差をEL駆動電圧と呼び、このEL駆動電圧がEL層にかかる。

【0076】なお電源制御用TFT112のドレイン領域またはソース領域と、EL素子111との間に抵抗体を設けても良い。抵抗体を設けることによって、電源制御用TFTからEL素子へ供給される電流量を制御し、電源制御用TFT及びEL駆動用TFTの特性のバラツキの影響を防ぐことが可能になる。抵抗体は電源制御用TFT112及びEL駆動用TFT109のオン抵抗よりも十分に大きい抵抗値を示す素子であれば良く、構造等に限定はない。なお、オン抵抗とは、TFTがオンの状態の時に、TFTのドレイン電圧をその時に流れているドレイン電流で割った値である。抵抗体の抵抗値としては $1\text{ k}\Omega\sim 50\text{ M}\Omega$ （好ましくは $10\text{ k}\Omega\sim 10\text{ M}\Omega$ 、さらに好ましくは $50\text{ k}\Omega\sim 1\text{ M}\Omega$ ）の範囲から選択すれば良い。抵抗体として抵抗値の高い半導体層を用いると形成が容易であり好ましい。

【0077】次に本発明のELディスプレイの駆動について説明する。ここではnビットデジタル駆動方式により2<sup>n</sup>階調表示を行う場合について説明する。

【0078】図5に本発明のELディスプレイのデジタル方式の時分割階調表示におけるタイミングチャートを示す。まず、1フレーム期間をn個のサブフレーム期間（SF<sub>1</sub>～SF<sub>n</sub>）に分割する。なお、画素部の全ての画素が1つの画像を表示する期間を1フレーム期間（F）と呼ぶ。通常のELディスプレイでは発振周波数は60 Hz以上、即ち1秒間に60以上のフレーム期間が設けられており、1秒間に60以上の画像が表示されている。1秒間に表示される画像の数が60より少なくなると、視覚的にフリッカ等の画像のちらつきが目立ち始める。なお、1フレーム期間をさらに複数に分割した期間をサブフレーム期間と呼ぶ。階調数が多くなるにつれて1フレーム期間の分割数も増え、駆動回路を高い周波数で駆動しなければならない。

【0079】1つのサブフレーム期間は書き込み期間（Ta）と表示期間（Ts）とに分けられる。書き込み期間とは、1サブフレーム期間中、全画素にデジタルデータ信号を入力する期間であり、表示期間（点灯期間とも呼ぶ）とは、EL素子の発光または非発光状態を選択し表示を行う期間を示している。

【0080】また、図5に示したEL駆動電圧は発光状態を選択されたEL素子のEL駆動電圧を表す。すなわち、発光状態を選択されたEL素子のEL駆動電圧（図5）は、書き込み期間中は0 Vとなり、表示期間中はEL素子が発光する程度の大きさを有する。

【0081】本発明においてEL駆動電圧を制御するのは、電源制御用TFTである。より正確には、EL駆動

電圧は、電源制御線を通して電源制御用TFTに接続されている外部スイッチにより制御される。書き込み期間においては、電源制御用TFTはオフの状態であり、EL駆動電圧は0 Vとなる。また表示期間においては、電源制御用TFTはオンの状態であり、発光状態を選択されたEL素子のEL駆動電圧はEL素子が発光する程度の大きさを有する。

【0082】まず、それぞれのサブフレームが有する書き込み期間と表示期間について、図2と図3の記号を用いて詳しく説明し、その後、時分割階調表示について説明する。

【0083】まず書き込み期間において、電源制御用TFT112はオフの状態であり、EL駆動電圧は0 Vに保たれている。なおEL駆動電圧はEL駆動用TFT109または電源制御用TFT112のオフ電流（TFTがスイッチとしてオフ状態にあるにも拘わらず流れてしまうドレイン電流）等に起因するリーク電流により微少な値を有することがあり得るが、EL素子が発光しない程度の大きさであれば良い。そしてゲート信号線G1にゲート信号が入力され、ゲート信号線G1に接続されている全てのスイッチング用TFT105がオンの状態になる。そしてソース信号線（S1～Sn）にデジタルデータ信号が入力される。デジタルデータ信号は「0」または「1」の情報を有している。「0」と「1」のデジタルデータ信号はそれぞれHiまたはLoのいずれかの電圧を有する信号を意味する。

【0084】そしてソース信号線（S1～Sn）に入力されたデジタルデータ信号は、オンの状態のスイッチング用TFT105を介してEL駆動用TFT109のゲート電極に入力される。またコンデンサ108がある場合には同様にデジタルデータ信号が入力され保持される。

【0085】次にゲート信号線G2にゲート信号が入力され、ゲート信号線G2に接続されている全てのスイッチング用TFT105がオンの状態になる。そしてソース信号線（S1～Sn）にデジタルデータ信号が入力される。

【0086】ソース信号線（S1～Sn）に入力されたデジタルデータ信号は、オンの状態のスイッチング用TFT105を介してEL駆動用TFT109のゲート電極に入力される。またコンデンサ108がある場合には同様にデジタルデータ信号が入力され保持される。

【0087】そして順にゲート信号線G3～Gnにもゲート信号を入力することで上述した動作を繰り返し、全ての画素にデジタルデータ信号が入力され、各画素において入力されたデジタルデータ信号が保持される。全ての画素にデジタルデータ信号が入力されるまでの期間が書き込み期間である。

【0088】書き込み期間が終了すると同時に表示期間となる。表示期間になると全てのスイッチング用TFT

105はオフの状態となる。そして電源制御線113に接続されている小電力外部スイッチ117によって、電源制御用TFT112はオンの状態となり、発光状態を選択されたEL素子111のEL駆動電圧はEL素子が発光する程度の大きさを有するようになる。

【0089】デジタルデータ信号が「0」の情報を有していた場合、EL駆動用TFT109はオフの状態となりEL素子111は発光しない。逆に、「1」の情報を有していた場合、EL駆動用TFT109はオンの状態となる。このとき電源制御用TFT112もオンの状態であるため、EL素子111の画素電極は電源電位に保たれ、EL素子111は発光する。このようにデジタルデータ信号が有する情報によって、EL素子の発光または非発光状態が選択され、全ての画素が一斉に表示を行う。全ての画素が表示を行うことによって、画像が形成される。画素が表示を行う期間を表示期間と呼ぶ。

【0090】 $n$ 個のサブフレーム期間( $SF_1 \sim SF_n$ )がそれぞれ有する書き込み期間( $Ta_1 \sim Ta_n$ )の長さは全て一定である。 $SF_1 \sim SF_n$ がそれぞれ有する表示期間( $Ts$ )をそれぞれ $Ts_1 \sim Ts_n$ とする。

【0091】表示期間の長さは、 $Ts_1 : Ts_2 : Ts_3 : \dots : Ts_{(n-1)} : Ts_n = 2^0 : 2^{-1} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ となるように設定する。但し、 $SF_1 \sim SF_n$ を出現させる順序はどのようにしても良い。この表示期間の組み合わせで $2^n$ 階調のうち所望の階調表示を行うことができる。

【0092】表示期間は $Ts_1 \sim Ts_n$ までのいずれかの期間である。ここでは $Ts_n$ の期間、所定の画素を点灯させたとする。

【0093】次に、再び書き込み期間に入り、全画素にデータ信号を入力したら表示期間に入る。このときは $Ts_1 \sim Ts_{(n-1)}$ のいずれかの期間が表示期間となる。ここでは $Ts_{(n-1)}$ の期間、所定の画素を点灯させたとする。

【0094】以下、残りの $n-2$ 個のサブフレームについて同様の動作を繰り返し、順次 $Ts_{(n-2)}$ 、 $Ts_{(n-3)}$ 、 $\dots Ts_1$ と表示期間を設定し、それぞれのサブフレームで所定の画素を点灯させたとする。

【0095】 $n$ 個のサブフレーム期間が出現したら1フレーム期間を終えたことになる。このとき、画素が点灯していた表示期間の長さを積算することによって、その画素の階調がきまる。例えば、 $n=8$ のとき、全部の表示期間で画素が発光した場合の輝度を100%とすると、 $Ts_1$ と $Ts_2$ において画素が発光した場合には75%の輝度が表現でき、 $Ts_3$ と $Ts_5$ と $Ts_8$ を選択した場合には16%の輝度が表現できる。

【0096】なお本実施の形態では、書き込み期間において電源制御用TFTがオフの状態であり、EL駆動電圧を0Vに保っているため、EL素子は発光しない。しかし本発明はこの構成に限定されない。電源制御用TFT

Tをオンの状態に保ち、発光状態を選択されたEL素子にEL素子が発光する程度のEL駆動電圧を常に設けることで、書き込み期間においても表示期間と同様に表示を行うようにしても良い。ただしこの場合、サブフレーム期間全体が実際に発光する期間となるので、サブフレーム期間の長さを、 $SF_1 : SF_2 : SF_3 : \dots : SF_{(n-1)} : SF_n = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ となるように設定する。上記構成により、書き込み期間を発光させない駆動方法に比べて、高い輝度の画像が得られる。

【0097】本発明は上記構成によって、従来のEL駆動電圧を制御する外部スイッチに起因する電流値の制限を取り除くことが可能となる。また、従来のEL駆動電圧を制御する外部スイッチに起因するEL駆動回路の周波数特性の低下を防ぎ、階調数の減少を防ぐことが可能となる。

【0098】なお電源制御用TFTは、スイッチング用TFT及びEL駆動用TFTと同時に形成することが可能である。

20 【0099】以下に本発明の実施例を示す。

【0100】(実施例1)本実施例では、本発明におけるELディスプレイの画素の構成について説明する。

【0101】本発明におけるELディスプレイの画素部には、マトリクス状に複数の画素が配列されている。画素の回路図の一例を図7(A)に示す。

30 【0102】図7(A)において、画素1000の中にスイッチング用TFT1001が設けられている。なお本発明において、スイッチング用TFT1001は $n$ チャネル型TFTでも $p$ チャネル型TFTでも、どちらでも用いることが可能である。本実施例では図7(A)において、スイッチング用TFT1001には $n$ チャネル型TFTを用いる。

40 【0103】スイッチング用TFT1001のゲート電極は、ゲート信号を入力するゲート信号線1002に接続されている。スイッチング用TFT1001のソース領域とドレイン領域は、一方はデジタルのビデオ信号を入力するソース信号線(データ信号線ともいう)1003に、もう一方はEL駆動用TFT1004のゲート電極及びコンデンサ1008にそれぞれ接続されている。なお本実施例において、コンデンサ1008はなくても良い。

50 【0104】EL駆動用TFT1004のソース領域とドレイン領域は、一方は電源供給線1005に接続され、もう一方は電源制御用TFT1009のソース領域またはドレイン領域に接続されている。電源制御用TFT1009のソース領域またはドレイン領域のもう一方はEL素子1006に接続されており、電源制御用TFT1009のゲート電極は、電源制御線1010に接続されている。またコンデンサ1008は、電源供給線1005に接続されている。

【0105】EL素子1006は陽極と、陰極と、陽極と陰極との間に設けられたEL層とからなる。なお本発明において、陽極が画素電極で陰極が対向電極の場合、電源制御用TFT1009のソース領域またはドレイン領域は、EL素子1006の陽極に接続される。逆に陽極が対向電極で陰極が画素電極の場合、電源制御用TFT1009のソース領域またはドレイン領域は、EL素子1006の陰極に接続される。またEL素子の対向電極は、常に所定の電位に保たれる。

【0106】なおEL駆動用TFT1004及び電源制御用TFT1009は、nチャネル型TFTでもpチャネル型TFTでもどちらでも用いることが可能であるが、EL素子1006の陽極が画素電極で陰極が対向電極の場合、EL駆動用TFT1004及び電源制御用TFT1009はpチャネル型TFTであることが好ましい。また逆にEL素子1006の陽極が対向電極で陰極が画素電極の場合、EL駆動用TFT1004及び電源制御用TFT1009はnチャネル型TFTであることが好ましい。図7(A)ではEL駆動用TFT1004及び電源制御用TFT1009にpチャネル型TFTを用いており、EL素子1006の陽極が画素電極で陰極が対向電極となっている。

【0107】図7(A)に示した回路図において、電源供給線1005はソース信号線1003と平行に並んでいる。また、電源制御線1010はゲート信号線1002と平行に並んでいる。

【0108】またEL駆動用TFT1004の活性層中にLDD領域を設け、LDD領域とゲート電極とがゲート絶縁膜を介して重なる領域(Lov領域)を形成しても良い。EL駆動用TFT1004がnチャネル型TFTでもpチャネル型TFTでも、活性層のドレイン領域側にLov領域を形成することで、EL駆動用TFT1004のゲート電極とLov領域との間に容量を形成することができ、EL駆動用TFT1004のゲート電圧を保持することができる。

【0109】なお図7(A)に示した回路図において、スイッチング用TFT1001、EL駆動用TFT1004または電源制御用TFT1009をマルチゲート構造(直列に接続された二つ以上のチャネル形成領域を有する活性層を含む構造)としても良い。スイッチング用TFT1001をマルチゲート構造にすることによって、スイッチング用TFTのオフ電流を下げることができる。またEL駆動用TFT1004または電源制御用TFT1009をマルチゲート構造にすることによって、熱によるEL駆動用TFTまたは電源制御用TFTの劣化を抑えることができる。

【0110】なお、図7(A)では電源供給線1005とソース信号線1003とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもでき

る。この場合、電源供給線1005とソース信号線1003とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0111】また、図7(A)では電源制御線1010とゲート信号線1002とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源制御線1010とゲート信号線1002とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0112】次に本発明の画素の回路図の別の一例を図7(B)に示す。図7(B)において、画素1100の中にスイッチング用TFT1101が設けられている。なお本発明において、スイッチング用TFT1101はnチャネル型TFTでもpチャネル型TFTでも、どちらでも用いることが可能である。図7(B)において、スイッチング用TFT1101にはnチャネル型TFTを用いる。スイッチング用TFT1101のゲート電極は、ゲート信号を入力するゲート信号線1102に接続されている。スイッチング用TFT1101のソース領域とドレイン領域のいずれか一方はデジタルのビデオ信号を入力するソース信号線(データ信号線ともいう)1103に、もう一方はEL駆動用TFT1104のゲート電極及びコンデンサ1108にそれぞれ接続されている。なお本実施例において、コンデンサ1108はなくても良い。

【0113】EL駆動用TFT1104のソース領域とドレイン領域は、一方は電源供給線1105に接続され、もう一方は電源制御用TFT1109のソース領域またはドレイン領域に接続されている。電源制御用TFT1109のソース領域またはドレイン領域のもう一方はEL素子1106に接続されており、電源制御用TFT1109のゲート電極は、電源制御線1110に接続されている。またコンデンサ1108は、電源供給線1105に接続されている。コンデンサ1108はなくても良い。

【0114】EL素子1106は陽極と、陰極と、陽極と陰極との間に設けられたEL層とでなる。なお本発明において、陽極が画素電極で陰極が対向電極の場合、電源制御用TFT1109のソース領域またはドレイン領域は、EL素子1106の陽極に接続される。逆に陽極が対向電極で陰極が画素電極の場合、電源制御用TFT1109のソース領域またはドレイン領域は、EL素子1106の陰極に接続される。またEL素子の対向電極は、常に所定の電位に保たれる。

【0115】なおEL駆動用TFT1104及び電源制御用TFT1109は、nチャネル型TFTでもpチャネル型TFTでもどちらでも用いることが可能であるが、EL素子1106の陽極が画素電極で陰極が対向電極の場合、EL駆動用TFT1104及び電源制御用T

FT1109はpチャネル型TFTであることが好ましい。また逆にEL素子1106の陽極が対向電極で陰極が画素電極の場合、EL駆動用TFT1104及び電源制御用TFT1109はnチャネル型TFTであることが好ましい。図7(B)ではEL駆動用TFT1104及び電源制御用TFT1109にpチャネル型TFTを用いており、EL素子1106の陽極が画素電極で陰極が対向電極となっている。

【0116】図7(B)に示した回路図において、電源供給線1105はゲート信号線1102と平行に並んでいる。また、電源制御線1110はソース信号線1103と平行に並んでいる。

【0117】またEL駆動用TFT1104の活性層中にLDD領域を設け、LDD領域とゲート電極とがゲート絶縁膜を介して重なる領域(Lov領域)を形成しても良い。EL駆動用TFT1104がnチャネル型TFTでもpチャネル型TFTでも、活性層のドレイン領域側にLov領域を形成することで、EL駆動用TFT1104のゲート電極とLov領域との間に容量を形成することができ、EL駆動用TFT1104のゲート電圧を保持することができる。

【0118】なお図7(B)に示した回路図において、スイッチング用TFT1101、EL駆動用TFT1104または電源制御用TFT1109をマルチゲート構造としても良い。スイッチング用TFT1101をマルチゲート構造にすることによって、スイッチング用TFTのオフ電流を下げるができる。またEL駆動用TFT1104または電源制御用TFT1109をマルチゲート構造にすることによって、熱によるEL駆動用TFTまたは電源制御用TFTの劣化を抑えることができる。

【0119】なお、図7(B)では電源供給線1105とゲート信号線1102とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線1105とゲート信号線1102とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0120】また、図7(B)では電源制御線1110とソース信号線1103とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源制御線1110とソース信号線1103とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0121】次に本発明の画素の回路図の別の一例を図8(A)に示す。図8(A)において、画素1200と画素1210とが隣接して設けられている。図8(A)において、1201及び1211はスイッチング用TFTである。なお本発明において、スイッチング用TFT

1201及び1211はnチャネル型TFTでもpチャネル型TFTでも、どちらでも用いることが可能である。図8(A)において、スイッチング用TFT1201及び1211にはnチャネル型TFTを用いる。スイッチング用TFT1201及び1211のゲート電極は、ゲート信号を入力するゲート信号線1202に接続されている。スイッチング用TFT1201のソース領域とドレイン領域は、一方はデジタルのビデオ信号を入力するソース信号線1203に接続されており、もう一方はEL駆動用TFT1204のゲート電極及びコンデンサ1208にそれぞれ接続されている。スイッチング用TFT1211のソース領域とドレイン領域は、一方はデジタルのビデオ信号を入力するソース信号線1213に接続されており、もう一方はEL駆動用TFT1214のゲート電極及びコンデンサ1218にそれぞれ接続されている。なお本実施例において、コンデンサ1208と1218はなくても良い。

【0122】そして、EL駆動用TFT1204及び1214のソース領域とドレイン領域は、一方は電源供給線1220に接続され、もう一方は電源制御用TFT1209及び1219のソース領域またはドレイン領域にそれぞれ接続されている。電源制御用TFT1209及び1219のソース領域またはドレイン領域の残る一方はEL素子1205及び1215にそれぞれ接続されており、電源制御用TFT1209及び1219のゲート電極は、電源制御線1207に接続されている。またコンデンサ1208と1218は、電源供給線1220に接続されている。このように本実施例では隣り合う2つの画素で1つの電源供給線1220を共有している。これにより、図7(A)で示した構成に比べて、電源供給線の数を減らすことができる。配線の画素部全体に対する割合が小さいと、EL層の発光する方向に配線が設けられている場合において、配線による光の遮蔽が抑えられる。

【0123】次に本発明の画素の回路図の別の一例を図8(B)に示す。図8(B)において、画素1300と画素1310とが隣接して設けられている。図8(B)において、1301及び1311はスイッチング用TFTである。なお本発明において、スイッチング用TFT1301及び1311はnチャネル型TFTでもpチャネル型TFTでも、どちらでも用いることが可能である。図8(B)において、スイッチング用TFT1301及び1311にはnチャネル型TFTを用いる。スイッチング用TFT1301及び1311のゲート電極は、ゲート信号を入力するゲート信号線1302及び1312にそれぞれ接続されている。スイッチング用TFT1301のソース領域とドレイン領域は、一方はデジタルのビデオ信号を入力するソース信号線1303に接続されており、もう一方はEL駆動用TFT1304のゲート電極及びコンデンサ1308に接続されている。

スイッチング用 TFT 1311 のソース領域とドレイン領域は、一方はデジタルのビデオ信号を入力するソース信号線 1303 に接続されており、もう一方は EL 駆動用 TFT 1314 のゲート電極及びコンデンサ 1318 に接続されている。なお本実施例において、コンデンサ 1308 と 1318 はなくても良い。

【0124】EL 駆動用 TFT 1304 及び 1314 のソース領域とドレイン領域は、一方は電源供給線 1320 に接続され、もう一方は電源制御用 TFT 1309 及び 1319 のソース領域またはドレイン領域にそれぞれ接続されている。電源制御用 TFT 1309 及び 1319 のソース領域またはドレイン領域の残る一方は EL 素子 1305 及び 1315 にそれぞれ接続されており、電源制御用 TFT 1309 及び 1319 のゲート電極は、電源制御線 1307 に接続されている。またコンデンサ 1308 及び 1318 は、電源供給線 1320 に接続されている。このように本実施例では隣り合う 2 つの画素で 1 つの電源供給線 1320 を共有している。これにより、図 7 (B) で示した構成に比べて、電源供給線の数を減らすことができる。配線の画素部全体に対する割合が小さいと、EL 層の発光する方向に配線が設けられている場合において、配線による光の遮蔽が抑えられる。

【0125】次に本発明の画素の回路図の別の一例を図 4 (A) に示す。図 4 (A) において、画素 1400 と画素 1410 とが隣接して設けられている。図 4 (A) において、1401 及び 1411 はスイッチング用 TFT である。なお本発明において、スイッチング用 TFT 1401 及び 1411 は n チャネル型 TFT でも p チャネル型 TFT でも、どちらでも用いることが可能である。図 4 (A) において、スイッチング用 TFT 1401 及び 1411 には n チャネル型 TFT を用いる。スイッチング用 TFT 1401 及び 1411 のゲート電極は、ゲート信号を入力するゲート信号線 1402 に接続されている。スイッチング用 TFT 1401 及び 1411 のソース領域とドレイン領域は、一方はデジタルのビデオ信号を入力するソース信号線 1403 と 1413 とにそれぞれ接続されており、もう一方は EL 駆動用 TFT 1404 と 1414 のゲート電極及びコンデンサ 1408 と 1418 にそれぞれ接続されている。なお本実施例において、コンデンサ 1408 と 1418 はなくても良い。

【0126】そして、EL 駆動用 TFT 1404 及び 1414 のソース領域とドレイン領域は、一方は電源供給線 1407 に接続され、もう一方は電源制御用 TFT 1409 及び 1419 のソース領域またはドレイン領域に接続されている。電源制御用 TFT 1409 及び 1419 のソース領域またはドレイン領域の残る一方は EL 素子 1405 及び 1415 に接続されており、電源制御用 TFT 1409 及び 1419 のゲート電極は、電源制御線 1420 に接続されている。またコンデンサ 1408

と 1418 は、電源供給線 1407 に接続されている。このように本実施例では隣り合う 2 つの画素で 1 つの電源制御線 1420 を共有している。これにより、図 7 (B) で示した構成に比べて、電源制御線の数を減らすことができる。配線の画素部全体に対する割合が小さいと、EL 層の発光する方向に配線が設けられている場合において、配線による光の遮蔽が抑えられる。

【0127】図 4 (A) に示した回路図において、電源制御線 1420 はソース信号線 1403、1413 と平行に並んでいる。また、電源供給線 1407 はゲート信号線 1402 と平行に並んでいる。

【0128】次に本発明の画素の回路図の別の一例を図 4 (B) に示す。図 4 (B) において、画素 1500 と画素 1510 とが隣接して設けられている。図 4 (B) において、1501 及び 1511 はスイッチング用 TFT である。なお本発明において、スイッチング用 TFT 1501 及び 1511 は n チャネル型 TFT でも p チャネル型 TFT でも、どちらでも用いることが可能である。図 4 (B) において、スイッチング用 TFT 1501 及び 1511 には n チャネル型 TFT を用いる。スイッチング用 TFT 1501 及び 1511 のゲート電極は、ゲート信号を入力するゲート信号線 1502 及び 1512 にそれぞれ接続されている。スイッチング用 TFT 1501 及び 1511 のソース領域とドレイン領域は、一方はデジタルのビデオ信号を入力するソース信号線 1503 にそれぞれ接続されており、もう一方は EL 駆動用 TFT 1504 と 1514 のゲート電極及びコンデンサ 1508 と 1518 にそれぞれ接続されている。なお本実施例において、コンデンサ 1508 と 1518 はなくても良い。

【0129】EL 駆動用 TFT 1504 及び 1514 のソース領域とドレイン領域は、一方は電源供給線 1507 に接続され、もう一方は電源制御用 TFT 1509 及び 1519 のソース領域またはドレイン領域にそれぞれ接続されている。電源制御用 TFT 1509 及び 1519 のソース領域またはドレイン領域の残る一方は EL 素子 1505 及び 1515 にそれぞれ接続されており、電源制御用 TFT 1509 及び 1519 ゲート電極は、電源制御線 1520 に接続されている。またコンデンサ 1508 及び 1518 は、電源供給線 1507 に接続されている。このように本実施例では隣り合う 2 つの画素で 1 つの電源制御線 1520 を共有している。これにより、図 7 (A) で示した構成に比べて、電源制御線の数を減らすことができる。配線の画素部全体に対する割合が小さいと、EL 層の発光する方向に配線が設けられている場合において、配線による光の遮蔽が抑えられる。

【0130】次に本発明の画素の回路図の別の一例を図 6 (A) に示す。本実施例では、図 4 (A) に示した 2 つの画素及びこれを電源供給線に関して折り返した画素を、電源供給線を共有するように配置する。また、図 6

(B) は、図 8 (B) に示した 2 つの画素及びこれを電源制御線に関して折り返した画素が電源制御線を共有するような配置によっても表される。画素内に配置される TFT 構造、各素子の接続等は図 4 (A) または図 8 (B) の説明に従う。

【0131】図 6 (A) に示すように、本実施例ではゲート線方向に隣り合う 2 つの画素で 1 つの電源制御線 1600 を共有し、またソース線方向に隣り合う 2 つの画素で 1 つの電源供給線 1610 を共有している。これにより、図 7 (A) で示した構成に比べて、電源制御線及び電源供給線の数を減らすことができる。配線の画素部全体に対する割合が小さいと、EL 層の発光する方向に配線が設けられている場合において、配線による光の遮蔽が抑えられる。

【0132】次に本発明の画素の回路図の別の一例を図 6 (B) に示す。本実施例では、図 8 (A) に示した 2 つの画素及びこれを電源制御線に関して折り返した画素を、電源制御線を共有するように配置する。また、図 6 (B) は、図 4 (B) に示した 2 つの画素及びこれを電源供給線に関して折り返した画素が電源供給線を共有するような配置によっても表される。画素内に配置される TFT 構造、各素子の接続等は図 8 (A) または図 4 (B) の説明に従う。

【0133】図 6 (B) に示すように、本実施例ではゲート線方向に隣り合う 2 つの画素で 1 つの電源供給線 1700 を共有し、またソース線方向に隣り合う 2 つの画素で 1 つの電源制御線 1710 を共有している。これにより、図 7 で示した構成に比べて、電源制御線及び電源供給線の数を減らすことができる。配線の画素部全体に対する割合が小さいと、EL 層の発光する方向に配線が設けられている場合において、配線による光の遮蔽が抑えられる。

【0134】図 8 (A)、(B)、図 4 (A)、(B) 及び図 6 (A)、(B) に示した回路図において、EL 素子はそれぞれ陽極と、陰極と、陽極と陰極との間に設けられた EL 層とでなる。なお本発明において、陽極が画素電極で陰極が対向電極の場合、電源制御用 TFT のソース領域またはドレイン領域は、EL 素子の陽極に接続される。逆に陽極が対向電極で陰極が画素電極の場合、電源制御用 TFT のソース領域またはドレイン領域は、EL 素子の陰極に接続される。また EL 素子の対向電極は、常に所定の電位に保たれる。

【0135】なお図 8 (A)、(B)、図 4 (A)、(B) 及び図 6 (A)、(B) に示した回路図において、EL 駆動用 TFT 及び電源制御用 TFT は n チャネル型 TFT でも p チャネル型 TFT でもどちらでも用いることが可能であるが、EL 素子の陽極が画素電極で陰極が対向電極の場合、EL 駆動用 TFT 及び電源制御用 TFT は p チャネル型 TFT であることが好ましい。また逆に EL 素子の陽極が対向電極で陰極が画素電極の場合、

EL 駆動用 TFT 及び電源制御用 TFT は n チャネル型 TFT であることが好ましい。図 8 (A)、

(B)、図 4 (A)、(B) 及び図 6 (A)、(B) では EL 駆動用 TFT 及び電源制御用 TFT に p チャネル型 TFT を用いており、EL 素子の陽極が画素電極で陰極が対向電極となっている。

【0136】また図 8 (A)、(B)、図 4 (A)、(B) 及び図 6 (A)、(B) に示した回路図において、EL 駆動用 TFT の活性層中に LDD 領域を設け、LDD 領域とゲート電極とがゲート絶縁膜を介して重なる領域 (LoV 領域) を形成しても良い。EL 駆動用 TFT が n チャネル型 TFT でも p チャネル型 TFT でも、活性層のドレイン領域側に LoV 領域を形成することで、EL 駆動用 TFT のゲート電極と LoV 領域との間に容量を形成することができ、EL 駆動用 TFT のゲート電圧を保持することができる。

【0137】なお図 8 (A)、(B)、図 4 (A)、(B) 及び図 6 (A)、(B) に示した回路図において、スイッチング用 TFT、EL 駆動用 TFT または電源制御用 TFT のいずれか 1 つ以上をマルチゲート構造としても良い。スイッチング用 TFT をマルチゲート構造とすることによって、スイッチング用 TFT のオフ電流を下げるができる。また EL 駆動用 TFT 及び電源制御用 TFT をマルチゲート構造にすることによって、熱による EL 駆動用 TFT または電源制御用 TFT の劣化を抑えることができる。

【0138】なお本実施例において、電流制御用 TFT のドレイン領域またはソース領域と、EL 素子との間に抵抗体を設けても良い。抵抗体を設けることによって、電源制御用 TFT から EL 素子へ供給される電流量を制御し、電源制御用 TFT 及び EL 駆動用 TFT の特性のバラツキの影響を防ぐことが可能になる。抵抗体は電源制御用 TFT 及び EL 駆動用 TFT のオン抵抗よりも十分に大きい抵抗値を示す素子であれば良く、構造等に限定はない。なお、オン抵抗とは、TFT がオンの状態の時に、TFT のドレイン電圧をその時に流れているドレイン電流で割った値である。抵抗体の抵抗値としては  $1\text{ k}\Omega \sim 50\text{ M}\Omega$  (好ましくは  $10\text{ k}\Omega \sim 10\text{ M}\Omega$ 、さらに好ましくは  $50\text{ k}\Omega \sim 1\text{ M}\Omega$ ) の範囲から選択すれば良い。抵抗体として抵抗値の高い半導体層を用いると形成が容易であり好ましい。

【0139】(実施例 2) 本実施例では、本発明における EL ディスプレイの画素の構成について説明する。

【0140】本実施例では、電源制御用 TFT を EL 駆動用 TFT と電源供給線との間に配置する。画素の回路図の一例を図 20 (A) に示す。

【0141】図 20 (A) において、画素 1800 の中にスイッチング用 TFT 1801 が設けられている。なお本発明において、スイッチング用 TFT 1801 は n チャネル型 TFT でも p チャネル型 TFT でも、どちら



でも用いることが可能である。本実施例では図 20

(A) において、スイッチング用 TFT 1801 には n チャンネル型 TFT を用いる。

【0142】スイッチング用 TFT 1801 のゲート電極は、ゲート信号を入力するゲート信号線 1802 に接続されている。スイッチング用 TFT 1801 のソース領域とドレイン領域は、一方はデジタルのビデオ信号を入力するソース信号線（データ信号線ともいう）1803 に、もう一方は EL 駆動用 TFT 1804 のゲート電極及びコンデンサ 1808 にそれぞれ接続されている。

【0143】EL 駆動用 TFT 1804 のソース領域とドレイン領域は、一方は電源制御用 TFT 1809 のソース領域またはドレイン領域に接続され、もう一方は EL 素子 1806 に接続されている。電源制御用 TFT 1809 のソース領域またはドレイン領域の残る一方は電源供給線 1805 に接続されており、電源制御用 TFT 1809 のゲート電極は、電源制御線 1810 に接続されている。またコンデンサ 1808 は、電源供給線 1805 に接続されている。なお本実施例において、コンデンサ 1808 はなくても良い。

【0144】EL 素子 1806 は陽極と、陰極と、陽極と陰極との間に設けられた EL 層とからなる。なお本発明において、陽極が画素電極で陰極が対向電極の場合、EL 駆動用 TFT 1804 のソース領域またはドレイン領域は、EL 素子 1806 の陽極に接続される。逆に陽極が対向電極で陰極が画素電極の場合、EL 駆動用 TFT 1804 のソース領域またはドレイン領域は、EL 素子 1806 の陰極に接続される。また EL 素子の対向電極は、常に所定の電位に保たれる。

【0145】なお EL 駆動用 TFT 1804 及び電源制御用 TFT 1809 は、n チャンネル型 TFT でも p チャンネル型 TFT でもどちらでも用いることが可能であるが、EL 素子 1806 の陽極が画素電極で陰極が対向電極の場合、EL 駆動用 TFT 1804 及び電源制御用 TFT 1809 は p チャンネル型 TFT であることが好ましい。また逆に EL 素子 1806 の陽極が対向電極で陰極が画素電極の場合、EL 駆動用 TFT 1804 及び電源制御用 TFT 1809 は n チャンネル型 TFT であることが好ましい。図 20 (A) では EL 駆動用 TFT 1804 及び電源制御用 TFT 1809 に p チャンネル型 TFT を用いており、EL 素子 1806 の陽極が画素電極で陰極が対向電極となっている。

【0146】図 20 (A) に示した回路図は、図 7

(A) (実施例 1) に示した回路図において、EL 駆動用 TFT 1004 と EL 素子 1006 との間に配置されている電源制御用 TFT 1009 を取り除き、新たに電源制御用 TFT を EL 駆動用 TFT 1004 と電源供給線 1005 との間に配置することによっても表される。この場合、電源制御用 TFT のソース領域とドレイン領域は、一方は電源供給線 1005 に接続し、一方は EL 駆

動用 TFT 1004 に接続する。またゲート電極は、電源制御線 1010 に接続する。

【0147】次に本発明の画素の回路図の別の一例を図 20 (B) に示す。図 20 (B) に示した回路図は、図 7 (B) (実施例 1) に示した回路図において、EL 駆動用 TFT 1104 と EL 素子 1106 との間に配置されている電源制御用 TFT 1109 を取り除き、新たに電源制御用 TFT 1111 を EL 駆動用 TFT 1104 と電源供給線 1105 との間に配置することによって表される。なお電源制御用 TFT のソース領域とドレイン領域は、一方は電源供給線 1105 に接続し、一方は EL 駆動用 TFT 1104 に接続する。またゲート電極は、電源制御線 1110 に接続する。

【0148】このように本実施例では、電源制御用 TFT を EL 駆動用 TFT と電源供給線との間に配置する。実施例 1 における回路図、図 7 (A)、7 (B)、8 (A)、8 (B)、4 (A)、4 (B)、6 (A)、6 (B)、のいずれの場合においても、EL 駆動用 TFT と EL 素子との間に配置されている電源制御用 TFT を取り除き、新たに電源制御用 TFT を EL 駆動用 TFT と電源供給線との間に配置することによって、このような構成が可能となる。なお電源制御用 TFT のソース領域とドレイン領域は、一方は電源供給線に接続し、一方は EL 駆動用 TFT に接続する。またゲート電極は、電源制御線に接続する。

【0149】本実施例において、EL 駆動用 TFT の活性層中に LDD 領域を設け、LDD 領域とゲート電極とがゲート絶縁膜を介して重なる領域 (Lov 領域) を形成しても良い。EL 駆動用 TFT が n チャンネル型 TFT でも p チャンネル型 TFT でも、活性層のドレイン領域側に Lov 領域を形成することで、EL 駆動用 TFT のゲート電極と Lov 領域との間に容量を形成することができ、EL 駆動用 TFT のゲート電圧を保持することができる。

【0150】またスイッチング用 TFT または EL 駆動用 TFT または電源制御用 TFT をマルチゲート構造

(直列に接続された二つ以上のチャンネル形成領域を有する活性層を含む構造) としても良い。スイッチング用 TFT をマルチゲート構造にすることによって、スイッチング用 TFT のオフ電流を下げることができる。また EL 駆動用 TFT または電源制御用 TFT をマルチゲート構造にすることによって、熱による EL 駆動用 TFT または電源制御用 TFT の劣化を抑えることができる。

【0151】また電源供給線、ソース信号線、電源制御線またはゲート信号線のうち互いに平行な 2 本の線に着目した場合、両者は重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、重なるように設けられた 2 本の線で専有面積を共有させることができるため、画素部をさらに高精細化す



ることができる。

【0152】なお本実施例において、EL駆動用TFTのドレイン領域またはソース領域と、EL素子との間に抵抗体を設けても良い。抵抗体を設けることによって、EL駆動用TFTからEL素子へ供給される電流量を制御し、電源制御用TFT及びEL駆動用TFTの特性のバラツキの影響を防ぐことが可能になる。抵抗体は電源制御用TFT及びEL駆動用TFTのオン抵抗よりも十分に大きい抵抗値を示す素子であれば良く、構造等に限定はない。なお、オン抵抗とは、TFTがオンの状態の時に、TFTのドレイン電圧をその時に流れているドレイン電流で割った値である。抵抗体の抵抗値としては1kΩ～50MΩ（好ましくは10kΩ～10MΩ、さらに好ましくは50kΩ～1MΩ）の範囲から選択すれば良い。抵抗体として抵抗値の高い半導体層を用いると形成が容易であり好ましい。

【0153】（実施例3）本実施例では、本発明を用いてELディスプレイを作製した例について説明する。

【0154】図9（A）は本発明を用いたEL表示装置の上面図である。図9（A）において、4010は基板、4011は画素部、4012はソース信号側駆動回路、4013はゲート信号側駆動回路であり、それぞれの駆動回路は配線4014～4016を経てFPC4017に至り、外部機器へと接続される。

【0155】このとき、少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてカバー材6000、シーリング材（ハウジング材ともいう）7000、密封材（第2のシーリング材）7001が設けられている。

【0156】また、図9（B）は本実施例のEL表示装置の断面構造であり、基板4010、下地膜4021の上に駆動回路用TFT（但し、ここではnチャネル型TFTとpチャネル型TFTを組み合わせたCMOS回路を図示している。）4022及び画素部用TFT4023（但し、ここではEL素子への電流を制御するTFTだけ図示している。）が形成されている。これらのTFTは公知の構造（トップゲート構造またはボトムゲート構造）を用いれば良い。

【0157】駆動回路用TFT4022、画素部用TFT4023が完成したら、樹脂材料でなる層間絶縁膜（平坦化膜）4026の上に画素部用TFT4023のドレインと電氣的に接続する透明導電膜でなる画素電極4027を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物（ITOと呼ばれる）または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極4027を形成したら、絶縁膜4028を形成し、画素電極4027上に開口部を形成する。

【0158】次に、EL層4029を形成する。EL層4029は公知のEL材料（正孔注入層、正孔輸送層、

発光層、電子輸送層または電子注入層）を自由に組み合わせさせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL材料には低分子系材料と高分子系（ポリマー系）材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0159】本実施例では、シャドーマスクを用いて蒸着法によりEL層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層（赤色発光層、緑色発光層及び青色発光層）を形成することで、カラー表示が可能となる。その他にも、色変換層（CCM）とカラーフィルタを組み合わせた方式、白色発光層とカラーフィルタを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光のEL表示装置とすることもできる。

【0160】EL層4029を形成したら、その上に陰極4030を形成する。陰極4030とEL層4029の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でEL層4029と陰極4030を連続成膜するか、EL層4029を不活性雰囲気中で形成し、大気解放しないで陰極4030を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0161】なお、本実施例では陰極4030として、LiF（フッ化リチウム）膜とAl（アルミニウム）膜の積層構造を用いる。具体的にはEL層4029上に蒸着法で1nm厚のLiF（フッ化リチウム）膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極4030は4031で示される領域において配線4016に接続される。配線4016は陰極4030に所定の電圧を与えるための電源供給線であり、導電性バースト材料4032を介してFPC4017に接続される。

【0162】4031に示された領域において陰極4030と配線4016とを電氣的に接続するために、層間絶縁膜4026及び絶縁膜4028にコンタクトホールを形成する必要がある。これらは層間絶縁膜4026のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜4028のエッチング時（EL層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜4028をエッチングする際に、層間絶縁膜4026まで一括でエッチングしても良い。この場合、層間絶縁膜4026と絶縁膜4028が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

【0163】このようにして形成されたEL素子の表面を覆って、パッシベーション膜6003、充填材600

4、カバー材6000が形成される。

【0164】さらに、EL素子部を囲むようにして、カバー材6000と基板4010の間にシーリング材7000が設けられ、さらにシーリング材7000の外側には密封材（第2のシーリング材）7001が形成される。

【0165】このとき、この充填材6004は、カバー材6000を接着するための接着剤としても機能する。充填材6004としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材6004の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0166】また、充填材6004の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0167】スペーサーを設けた場合、パッシベーション膜6003はスペーサー圧を緩和することができる。また、パッシベーション膜6003とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0168】また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP（Fiberglass-Reinforced Plastic）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十 $\mu\text{m}$ のアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0169】但し、EL素子からの発光方向（光の放射方向）によっては、カバー材6000が透光性を有する必要がある。

【0170】また、配線4016はシーリング材7000および密封材7001と基板4010との隙間を通過してFPC4017に電氣的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にしてシーリング材7000および密封材7001の下を通過してFPC4017に電氣的に接続される。

【0171】なお図9では、充填材6004を設けてからカバー材6000を接着し、充填材6004の側面（露呈面）を覆うようにシーリング材7000を取り付けているが、カバー材6000及びシーリング材7000を取り付けてから、充填材6004を設けても良い。この場合、基板4010、カバー材6000及びシーリング材7000で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態（ $10^{-2}\text{Torr}$ 以下）にし、充填材の入っている水槽に注入口を

浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【0172】次に、図9（A）、（B）とは異なる形態のEL表示装置を作製した例について、図10（A）、（B）を用いて説明する。図9（A）、（B）と同じ番号のものは同じ部分を指しているので説明は省略する。

【0173】図10（A）は本実施例のEL表示装置の上面図であり、図10（A）をA-A'で切断した断面図を図10（B）に示す。

【0174】図9に従って、EL素子の表面を覆ってパッシベーション膜6003までを形成する。

【0175】さらに、EL素子を覆うようにして充填材6004を設ける。この充填材6004は、カバー材6000を接着するための接着剤としても機能する。充填材6004としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材6004の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0176】また、充填材6004の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0177】スペーサーを設けた場合、パッシベーション膜6003はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0178】また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP（Fiberglass-Reinforced Plastic）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十 $\mu\text{m}$ のアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0179】但し、EL素子からの発光方向（光の放射方向）によっては、カバー材6000が透光性を有する必要がある。

【0180】次に、充填材6004を用いてカバー材6000を接着した後、充填材6004の側面（露呈面）を覆うようにフレーム材6001を取り付ける。フレーム材6001はシーリング材（接着剤として機能する）6002によって接着される。このとき、シーリング材6002としては、光硬化性樹脂を用いるのが好ましいが、EL層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シーリング材6002はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シーリング材6002の内部に乾燥剤を添加してあっても良

い。

【0181】また、配線4016はシーリング材6002と基板4010との隙間を通してFPC4017に電氣的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にしてシーリング材6002の下を通してFPC4017に電氣的に接続される。

【0182】なお図10では、充填材6004を設けてからカバー材6000を接着し、充填材6004の側面（露呈面）を覆うようにフレーム材6001を取り付けているが、カバー材6000及びフレーム材6001を取り付けてから、充填材6004を設けても良い。この場合、基板4010、カバー材6000及びフレーム材6001で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態（ $10^{-2}$  Torr 以下）にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【0183】（実施例4）ここで画素部のさらに詳細な断面構造を図11に示す。図11において、基板3501上に設けられたスイッチング用TF T 3502は公知の方法を用いて作製される。本実施例ではダブルゲート構造としている。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。

【0184】また、EL駆動用TF T 3503及び電源制御用TF T 3504はnチャネル型TF Tであり、公知の方法を用いて作製される。このとき、スイッチング用TF T 3502のドレイン配線35は配線36によってEL駆動用TF T 3503のゲート電極37bに電氣的に接続されている。また、EL駆動用TF T 3503のソース配線40bは電源制御用TF Tのドレイン配線40aに接続されている。また、38で示される配線は、スイッチング用TF T 3502のゲート電極39aと39bを電氣的に接続するゲート信号線である。また、EL駆動用TF T 3503のドレイン配線34は電源供給線（図示せず）に接続され、常に一定の電圧が加えられている。また、電源制御用TF T 3504のゲート電極37aは電源制御線（図示せず）に接続されている。

【0185】本実施例では電源制御用TF Tのソース配線をEL素子の陰極に接続し、ドレイン配線をEL駆動用TF Tのソース配線に接続し、EL駆動用TF Tのドレイン配線を電源供給線に接続する構造としているが、EL駆動用TF Tのソース配線をEL素子の陰極に接続し、ドレイン配線を電源制御用TF Tのソース配線に接続し、電源制御用TF Tのドレイン配線を電源供給線に接続する構造でも構わない。すなわち、実施例2の構成と組み合わせて実施することが可能である。

【0186】本実施例ではEL駆動用TF T 3503及び電源制御用TF T 3504をシングルゲート構造で図示しているが、複数のTF Tを直列につなげたマルチゲート構造としても良い。さらに、複数のTF Tを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0187】スイッチング用TF T 3502、EL駆動用TF T 3503及び電源制御用TF T 3504の上には第1パッシベーション膜41が設けられ、その上に樹脂絶縁膜でなる平坦化膜42が形成される。平坦化膜42を用いてTF Tによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0188】また、43は反射性の高い導電膜でなる画素電極（EL素子の陰極）であり、電源制御用TF T 3504のドレイン領域に電氣的に接続される。画素電極43としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0189】また、絶縁膜（好ましくは樹脂）で形成されたバンク44a、44bにより形成された溝（画素に相当する）の中に発光層45が形成される。なお、ここでは一画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機EL材料としては $\pi$ 共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（PPV）系、ポリピニルカルバゾール（PVK）系、ポリフルオレン系などが挙げられる。

【0190】なお、PPV系有機EL材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p.33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

【0191】具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30～150nm（好ましくは40～100nm）とすれば良い。

【0192】但し、以上の例は発光層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注

入層を自由に組み合わせてEL層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。

【0193】例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0194】本実施例では発光層45の上にPEDOT（ポリチオフェン）またはPAni（ポリアニリン）でなる正孔注入層46を設けた積層構造のEL層としている。そして、正孔注入層46の上には透明導電膜でなる陽極47が設けられる。本実施例の場合、発光層45で生成された光は上面側に向かって（TF Tの上方に向かって）放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【0195】陽極47まで形成された時点でEL素子3505が完成する。なお、ここでいうEL素子3505は、画素電極（陰極）43、発光層45、正孔注入層46及び陽極47で形成されている。画素電極43は画素の面積にほぼ一致するため、画素全体がEL素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【0196】ところで、本実施例では、陽極47の上にさらに第2パッシベーション膜48を設けている。第2パッシベーション膜48としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部とEL素子とを遮断することであり、有機EL材料の酸化による劣化を防ぐ意味と、有機EL材料からの脱ガスを抑える意味との両方を併せ持つ。これによりEL表示装置の信頼性が高められる。

【0197】以上のように本発明のELディスプレイは図11のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用TF Tと、ホットキャリア注入に強いEL駆動用TF Tとを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能なELディスプレイが得られる。

【0198】なお、本実施例の構成は、実施例1～3構成と自由に組み合わせて実施することが可能である。

【0199】（実施例5）本実施例では、実施例4に示した画素部において、EL素子3505の構造を反転させた構造について説明する。説明には図12を用いる。なお、図11（実施例4）の構造と異なる点はEL素子の部分とEL駆動用TF Tと電源制御用TF Tだけであるので、その他の説明は省略することとする。

【0200】図12において、EL駆動用TF T3503及び電源制御用TF T3504はpチャネル型TF Tであり、公知の方法を用いて作製することができる。なお、本実施例では電源制御用TF Tのソース配線をEL素子の陽極に接続し、ドレイン配線をEL駆動用TF Tのソース配線に接続し、EL駆動用TF Tのドレイン配線を電源供給線に接続する構造としているが、EL駆動用TF Tのソース配線をEL素子の陽極に接続し、ドレイン配線を電源制御用TF Tのソース配線に接続し、電源制御用TF Tのドレイン配線を電源供給線に接続する構造でも構わない。すなわち、実施例2の構成と組み合わせて実施することが可能である。

【0201】本実施例では、画素電極（陽極）50として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【0202】そして、絶縁膜でなるバンク51a、51bが形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層52が形成される。その上にはカリウムアセチルアセトネート（acacKと表記される）でなる電子注入層53、アルミニウム合金でなる陰極54が形成される。この場合、陰極54がパッシベーション膜としても機能する。こうしてEL素子3701が形成される。

【0203】本実施例の場合、発光層52で発生した光は、矢印で示されるようにTF Tが形成された基板の方に向かって放射される。

【0204】なお、本実施例の構成は、実施例1～3の構成と自由に組み合わせて実施することが可能である。

【0205】（実施例6）本実施例では、本発明を用いてELディスプレイを作製した例について図24

（A）、（B）を用いて説明する。図24（A）は、EL素子の形成されたアクティブマトリクス基板において、EL素子の封入まで行った状態を示す上面図である。点線で示された801はソース側駆動回路、802はゲート側駆動回路、803は画素部である。また、804はカバー材、805は第1シール材、806は第2シール材であり、第1シール材805で囲まれた内側のカバー材とアクティブマトリクス基板との間には充填材807（図24（B）参照）が設けられる。

【0206】なお、808はソース側駆動回路801、ゲート側駆動回路802及び画素部803に入力される信号を伝達するための接続配線であり、外部機器との接続端子となるFPC（フレキシブルプリントサーキット）809からビデオ信号やクロック信号を受け取る。

【0207】ここで、図24（A）をA-A'で切断した断面に相当する断面図を図24（B）に示す。なお、図24（A）、（B）では同一の部位に同一の符号を用いている。

【0208】図24（B）に示すように、基板800上には画素部803、ソース側駆動回路801が形成されており、画素部803はEL素子に流れる電流を制御するためのTFT（図示せず）（以下、EL駆動用TFTという）、EL駆動電圧を制御するためのTFT（以下、電源制御用TFTという）851及びそのドレイン領域に電氣的に接続された画素電極852等を含む複数の画素により形成される。本実施例では電源制御用TFT851をpチャネル型TFTとする。また、ソース側駆動回路801はnチャネル型TFT853とpチャネル型TFT854とを相補的に組み合わせたCMOS回路を用いて形成される。

【0209】本実施例では、電源制御用TFTのドレイン配線をEL素子の画素電極に接続しソース配線をEL駆動用TFTのドレイン配線に接続する構造としているが、EL駆動用TFTのドレイン配線をEL素子の画素電極に接続しソース配線を電源制御用TFTのドレイン配線に接続する構造としても良い。これは実施例1の構成を組み合わせた場合に相当する。

【0210】各画素は画素電極の下にカラーフィルタ（R）855、カラーフィルタ（G）856及びカラーフィルタ（B）（図示せず）を有している。ここでカラーフィルタ（R）とは赤色光を抽出するカラーフィルタであり、カラーフィルタ（G）は緑色光を抽出するカラーフィルタ、カラーフィルタ（B）は青色光を抽出するカラーフィルタである。なお、カラーフィルタ（R）855は赤色発光の画素に、カラーフィルタ（G）856は緑色発光の画素に、カラーフィルタ（B）は青色発光の画素に設けられる。

【0211】これらのカラーフィルタを設けた場合の効果としては、まず発光色の色純度が向上する点が挙げられる。例えば赤色発光の画素からはEL素子から赤色光が放射される（本実施例では画素電極側に向かって放射される）が、この赤色光を、赤色光を抽出するカラーフィルタに通すことにより赤色の純度を向上させることができる。このことは、他の緑色光、青色光の場合においても同様である。

【0212】また、従来のカラーフィルタを用いない構造ではEL表示装置の外部から侵入した可視光がEL素子の発光層を励起させてしまい、所望の発色が得られない問題が起こりうる。しかしながら、本実施例のようにカラーフィルタを設けることでEL素子には特定の波長の光しか入らないようになる。即ち、外部からの光によりEL素子が励起されてしまうような不具合を防ぐことが可能である。

【0213】なお、カラーフィルタを設ける構造は従来提案されているが、EL素子は白色発光のものを用いていた。この場合、赤色光を抽出するには他の波長の光をカットしていたため、輝度の低下を招いていた。しかしながら、本実施例では、例えばEL素子から発した赤色

光を、赤色光を抽出するカラーフィルタに通すため、輝度の低下を招くようなことがない。

【0214】次に、画素電極852は透明導電膜で形成され、EL素子の陽極として機能する。また、画素電極852の両端には絶縁膜857が形成され、さらに赤色に発光する発光層858、緑色に発光する発光層859が形成される。なお、図示しないが隣接する画素には青色に発光する発光層が設けられ、赤、緑及び青に対応した画素によりカラー表示が行われる。勿論、青色の発光層が設けられた画素は青色を抽出するカラーフィルタが設けられている。

【0215】なお、EL材料として有機材料だけでなく無機材料を用いることができる。また、発光層だけでなく電子注入層、電子輸送層、正孔輸送層または正孔注入層を組み合わせた積層構造としても良い。

【0216】また、各発光層の上にはEL素子の陰極860が遮光性を有する導電膜でもって形成される。この陰極860は全ての画素に共通であり、接続配線808を経由してFPC809に電氣的に接続されている。

【0217】次に、第1シール材805をディスペンサー等で形成し、スペーサ（図示せず）を撒布してカバー材804を貼り合わせる。そして、アクティブマトリクス基板、カバー材804及び第1シール材805で囲まれた領域内に充填材807を真空注入法により充填する。

【0218】また、本実施例では充填材807に予め吸湿性物質861として酸化バリウムを添加しておく。なお、本実施例では吸湿性物質を充填材に添加して用いるが、塊状に分散させて充填材中に封入することもできる。また、図示されていないがスペーサーの材料として吸湿性物質を用いることも可能である。

【0219】次に、充填材807を紫外線照射または加熱により硬化させた後、第1シール材805に形成された開口部（図示せず）を塞ぐ。第1シール材805の開口部を塞いだら、導電性材料862を用いて接続配線808及びFPC809を電氣的に接続させる。さらに、第1シール材805の露呈部及びFPC809の一部を覆うように第2シール材806を設ける。第2シール材806は第1シール材805と同様の材料を用いれば良い。

【0220】以上のような方式を用いてEL素子を充填材807に封入することにより、EL素子を外部から完全に遮断することができ、外部から水分や酸素等の有機材料の酸化を促す物質が侵入することを防ぐことができる。従って、信頼性の高いEL表示装置を作製することができる。

【0221】なお、本実施例の構成は、実施例1～3のいずれの構成とも自由に組み合わせることが可能である。

【0222】（実施例7）本実施例では、実施例6に示

10

20

30

40

50

したEL表示装置において、EL素子から発する光の放射方向とカラーフィルタの配置を異ならせた場合の例について示す。説明には図25を用いるが、基本的な構造は図24(B)と同様であるので変更部分に新しい符号を付して説明する。

【0223】本実施例では画素部901には電源制御用TFT902及びEL駆動用TFT(図示せず)としてnチャネル型TFTが用いられている。また、電源制御用TFT902のドレインには画素電極903が電氣的に接続され、この画素電極903は遮光性を有する導電膜で形成されている。本実施例では画素電極903がEL素子の陰極となる。

【0224】また、赤色に発光する発光層858、緑色に発光する発光層859の上には各画素に共通な透明導電膜904が形成される。この透明導電膜904はEL素子の陽極となる。

【0225】さらに、本実施例ではカラーフィルタ(R)905、カラーフィルタ(G)906及びカラーフィルタ(B)(図示せず)がカバー材804に形成されている点に特徴がある。本実施例のEL素子の構造とした場合、発光層から発した光の放射方向がカバー材側に向かうため、図25の構造とすればその光の経路にカラーフィルタを設置することができる。

【0226】本実施例のようにカラーフィルタ(R)905、カラーフィルタ(G)906及びカラーフィルタ(B)(図示せず)をカバー材804に設けると、アクティブマトリクス基板の工程を少なくすることができ、歩留まり及びスループットの向上を図ることができるという利点がある。

【0227】なお、本実施例の構成は、実施例1~3のいずれの構成とも自由に組み合わせることが可能である。

【0228】(実施例8)本発明のELディスプレイにおいて、EL素子が有するEL層に用いられる材料は、有機EL材料に限定されず、無機EL材料を用いても実施できる。但し、現在の無機EL材料は非常に駆動電圧が高いため、そのような駆動電圧に耐えうる耐圧特性を有するTFTを用いなければならない。

【0229】または、将来的にさらに駆動電圧の低い無機EL材料が開発されれば、本発明に適用することは可能である。

【0230】また、本実施例の構成は、実施例1~7のいずれの構成とも自由に組み合わせることが可能である。

【0231】(実施例9)本発明において、EL層として用いる有機物質は低分子系有機物質であってもポリマー系(高分子系)有機物質であっても良い。低分子系有機物質はAlq<sub>3</sub>(トリス-8-キノリライト-アルミニウム)、TPD(トリフェニルアミン誘導体)等を中心とした材料が知られている。ポリマー系有機物質とし

て、 $\pi$ 共役ポリマー系の物質が挙げられる。代表的には、PPV(ポリフェニレンビニレン)、PVK(ポリビニルカルバゾール)、ポリカーボネート等が挙げられる。

【0232】ポリマー系(高分子系)有機物質は、スピンコーティング法(溶液塗布法ともいう)、ディッピング法、ディスペンス法、印刷法またはインクジェット法など簡易な薄膜形成方法で形成でき、低分子系有機物質に比べて耐熱性が高い。

【0233】また本発明のELディスプレイが有するEL素子において、そのEL素子が有するEL層が、電子輸送層と正孔輸送層とを有している場合、電子輸送層と正孔輸送層とを無機材料、例えば非晶質のSiまたは非晶質のSi<sub>1-x</sub>C<sub>x</sub>等の非晶質半導体で構成しても良い。

【0234】非晶質半導体には多量のトラップ準位が存在し、かつ非晶質半導体が他の層と接する界面において多量の界面準位を形成する。そのため、EL素子は低い電圧で発光させることができるとともに、高輝度化を図ることもできる。

【0235】また有機EL層にドーパント(不純物)を添加し、有機EL層の発光の色を変化させても良い。ドーパントとして、DCM1、ナイルレッド、ルブレン、クマリン6、TPB、キナクリドン等が挙げられる。

【0236】(実施例10)本発明の実施例について図13~図16を用いて説明する。ここでは、画素部のスイッチング用TFT、EL駆動用TFT、電源制御用TFT及び画素部の周辺に設けられる駆動回路部のTFTを同時に形成する方法について説明する。但し、説明を簡単にするために、駆動回路に関しては基本単位であるCMOS回路を図示することとする。

【0237】まず、図13(A)に示すように、下地膜(図示せず)を表面に設けた基板501を用意する。本実施例では結晶化ガラス上に下地膜として100nm厚の窒化酸化珪素膜と200nm厚の窒化酸化珪素膜とを積層して用いる。この時、結晶化ガラス基板に接する方の窒素濃度を10~25wt%としておくとも良い。勿論、下地膜を設けずに石英基板上に直接素子を形成しても良い。

【0238】次に基板501の上に45nmの厚さのアモルファスシリコン膜502を公知の成膜法で形成する。なお、アモルファスシリコン膜に限定する必要はなく、非晶質構造を含む半導体膜(微結晶半導体膜を含む)であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。

【0239】ここから図13(C)までの工程は本出願人による特開平10-247735号公報を完全に引用することができる。同公報ではNi等の元素を触媒として用いた半導体膜の結晶化方法に関する技術を開示している。

【0240】まず、開口部503a、503bを有する保護膜504を形成する。本実施例では150nm厚の酸化珪素膜を用いる。そして、保護膜504の上にスピコート法によりニッケル(Ni)を含有する層(Ni含有層)505を形成する。このNi含有層の形成に関しては、前記公報を参考にすれば良い。

【0241】次に、図13(B)に示すように、不活性雰囲気中で570℃14時間の加熱処理を加え、アモルファスシリコン膜502を結晶化する。この際、Niが接した領域(以下、Ni添加領域という)506a、506bを起点として、基板と概略平行に結晶化が進行し、棒状結晶が集まって並んだ結晶構造でなるポリシリコン膜507が形成される。

【0242】次に、図13(C)に示すように、保護膜504をそのままマスクとして15族に属する元素(好ましくはリン)をNi添加領域506a、506bに添加する。こうして高濃度にリンが添加された領域(以下、リン添加領域という)508a、508bが形成される。

【0243】次に、図13(C)に示すように、不活性雰囲気中で600℃12時間の加熱処理を加える。この加熱処理によりポリシリコン膜507中に存在するNiは移動し、最終的には殆ど全て矢印が示すようにリン添加領域508a、508bに捕獲されてしまう。これはリンによる金属元素(本実施例ではNi)のゲッターリング効果による現象であると考えられる。

【0244】この工程によりポリシリコン膜509中に残るNiの濃度はSIMS(質量二次イオン分析)による測定値で少なくとも $2 \times 10^{17}$  atoms/cm<sup>3</sup>にまで低減される。Niは半導体にとってライフタイムキラーであるが、この程度まで低減されるとTFT特性には何ら悪影響を与えることはない。また、この濃度は殆ど現状のSIMS分析の測定限界であるので、実際にはさらに低い濃度( $2 \times 10^{17}$  atoms/cm<sup>3</sup>以下)であると考えられる。

【0245】こうして触媒を用いて結晶化され、且つ、その触媒がTFTの動作に支障を与えないレベルにまで低減されたポリシリコン膜509が得られる。その後、このポリシリコン膜509のみを用いた活性層510～513をパターニング工程により形成する。また、この時、後のパターニングにおいてマスク合わせを行うためのマーカーを、上記ポリシリコン膜を用いて形成すると良い。(図13(D))

【0246】次に、図13(E)に示すように、50nm厚の窒化酸化シリコン膜をプラズマCVD法により形成し、その上で酸化雰囲気中で950℃1時間の加熱処理を加え、熱酸化工程を行う。なお、酸化雰囲気は酸素雰囲気でも良いし、ハロゲン元素を添加した酸素雰囲気でも良い。

【0247】この熱酸化工程では活性層と上記窒化酸化

シリコン膜との界面で酸化が進行し、約15nm厚のポリシリコン膜が酸化されて約30nm厚の酸化シリコン膜が形成される。即ち、30nm厚の酸化シリコン膜と50nm厚の窒化酸化シリコン膜が積層されてなる80nm厚のゲート絶縁膜514が形成される。また、活性層510～513の膜厚はこの熱酸化工程によって30nmとなる。

【0248】次に、図14(A)に示すように、レジストマスク515a、515bを形成し、ゲート絶縁膜514を介してp型を付与する不純物元素(以下、p型不純物元素という)を添加する。p型不純物元素としては、代表的には13族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程(チャネルドープ工程という)はTFTのしきい値電圧を制御するための工程である。

【0249】なお、本実施例ではジボラン(B<sub>2</sub>H<sub>6</sub>)を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程により $1 \times 10^{15} \sim 1 \times 10^{18}$  atoms/cm<sup>3</sup>(代表的には $5 \times 10^{16} \sim 5 \times 10^{17}$  atoms/cm<sup>3</sup>)の濃度でボロンを含む不純物領域516、517が形成される。

【0250】次に、図14(B)に示すように、レジストマスク519a、519bを形成し、ゲート絶縁膜514を介してn型を付与する不純物元素(以下、n型不純物元素という)を添加する。なお、n型不純物元素としては、代表的には15族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではフォスフィン(PH<sub>3</sub>)を質量分離しないでプラズマ励起したプラズマドーピング法を用い、リンを $1 \times 10^{18}$  atoms/cm<sup>3</sup>の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0251】この工程により形成されるn型不純物領域520には、n型不純物元素が $2 \times 10^{18} \sim 5 \times 10^{19}$  atoms/cm<sup>3</sup>(代表的には $5 \times 10^{17} \sim 5 \times 10^{18}$  atoms/cm<sup>3</sup>)の濃度で含まれるようにドーズ量を調節する。

【0252】次に、図14(C)に示すように、添加されたn型不純物元素及びp型不純物元素の活性化工程を行う。活性化手段を限定する必要はないが、ゲート絶縁膜514が設けられているので電熱炉を用いたファーンエスアニール処理が好ましい。また、図14(A)の工程でチャネル形成領域となる部分の活性層/ゲート絶縁膜界面にダメージを与えてしまっている可能性があるため、なるべく高い温度で加熱処理を行うことが望ましい。

【0253】本実施例の場合には耐熱性の高い結晶化ガラスを用いているので、活性化工程を800℃1時間のファーンエスアニール処理により行う。なお、処理雰囲気を酸化性雰囲気にして熱酸化を行っても良いし、不活性雰囲気で加熱処理を行っても良い。



【0254】この工程によりn型不純物領域520の端部、即ち、n型不純物領域520の周囲に存在するn型不純物元素を添加していない領域（図14（A）の工程で形成されたp型不純物領域）との境界部（接合部）が明確になる。このことは、後にTFTが完成した時点において、LDD領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【0255】次に、200～400nm厚の導電膜を形成し、パターンニングしてゲート電極522～525を形成する。このゲート電極522～525の線幅によって各TFTのチャネル長の長さが決定する。

【0256】なお、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知の導電膜を用いることができる。具体的には、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、クロム（Cr）、シリコン（Si）から選ばれた元素でなる膜、または前記元素の窒化物でなる膜（代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜）、または前記元素を組み合わせた合金膜（代表的にはMo-W合金、Mo-Ta合金）、または前記元素のシリサイド膜（代表的にはタングステンシリサイド膜、チタンシリサイド膜）を用いることができる。勿論、単層で用いても積層して用いても良い。

【0257】本実施例では、50nm厚の窒化タングステン（WN）膜と、350nm厚のタングステン（W）膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてキセノン（Xe）、ネオン（Ne）等の不活性ガスを添加すると応力による膜はがれを防止することができる。

【0258】またこの時、ゲート電極523はn型不純物領域520の一部とゲート絶縁膜514を介して重なるように形成する。この重なった部分が後にゲート電極と重なったLDD領域となる。なお、ゲート電極524a、524bは断面では二つに見えるが、実際は電気的に接続されている。またゲート電極522、523も断面では二つに見えるが、実際は電気的に接続されている。

【0259】次に、図15（A）に示すように、ゲート電極522～525をマスクとして自己整合的にn型不純物元素（本実施例ではリン）を添加する。こうして形成される不純物領域526～533にはn型不純物領域520の $1/2 \sim 1/10$ （代表的には $1/3 \sim 1/4$ ）の濃度でリンが添加されるように調節する。具体的には、 $1 \times 10^{15} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ （典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$ ）の濃度が好ましい。

【0260】次に、図15（B）に示すように、ゲート電極等を覆う形でレジストマスク534a～534dを形成し、n型不純物元素（本実施例ではリン）を添加して高濃度にリンを含む不純物領域535～539を形成

する。ここでもフォスフィン（ $\text{PH}_3$ ）を用いたイオンドーブ法で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ （代表的には $2 \times 10^{20} \sim 5 \times 10^{20} \text{ atoms/cm}^3$ ）となるように調節する。

【0261】この工程によってnチャネル型TFTのソース領域若しくはドレイン領域が形成されるが、スイッチング用TFTは、図15（A）の工程で形成したn型不純物領域528～531の一部が残る。この残された領域が、スイッチング用TFTのLDD領域となる。

【0262】次に、図15（C）に示すように、レジストマスク534a～534dを除去し、新たにレジストマスク542を形成する。そして、p型不純物元素（本実施例ではボロン）を添加し、高濃度にボロンを含む不純物領域540、541、543a、543b、544a、544bを形成する。ここではジボラン（ $\text{B}_2\text{H}_6$ ）を用いたイオンドーブ法により $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ （代表的には $5 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ ）の濃度となるようにボロンを添加する。

【0263】なお、不純物領域540、541、543a、543b、544a、544bには既に $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも3倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にp型に反転し、p型の不純物領域として機能する。

【0264】次に、図15（D）に示すように、レジストマスク542を除去した後、第1層間絶縁膜546を形成する。第1層間絶縁膜546としては、珪素を含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は400nm～1.5μmとすれば良い。本実施例では、200nm厚の窒化酸化珪素膜の上に800nm厚の酸化珪素膜を積層した構造とする。

【0265】その後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化する。活性化手段としては、ファーンেসアニール法が好ましい。本実施例では電熱炉において窒素雰囲気中、550℃、4時間の熱処理を行う。

【0266】さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不對結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0267】なお、水素化処理は第1層間絶縁膜546を形成する間に入れても良い。即ち、200nm厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り800nm厚の酸化珪素膜を形成しても構わない。

【0268】次に、図16（A）に示すように、第1層



間絶縁膜 546 に対してコンタクトホールを形成し、ソース信号線 547~550 及びドレイン配線 551~553 を形成する。なお、本実施例ではこの電極を、Ti 膜を 100 nm、Ti を含むアルミニウム膜を 300 nm、Ti 膜 150 nm をスパッタ法で連続形成した 3 層構造の積層膜とする。勿論、他の導電膜でも良い。

【0269】次に、50~500 nm (代表的には 200~300 nm) の厚さで第 1 パッシベーション膜 554 を形成する。本実施例では第 1 パッシベーション膜 554 として 300 nm 厚の窒化酸化シリコン膜を用い

る。これは窒化シリコン膜で代用しても良い。

【0270】この時、窒化酸化シリコン膜の形成に先立って  $H_2$ 、 $NH_3$  等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第 1 層間絶縁膜 546 に供給され、熱処理を行うことで、第 1 パッシベーション膜 554 の膜質が改善される。それと同時に、第 1 層間絶縁膜 546 に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0271】次に、図 16 (B) に示すように、有機樹脂からなる第 2 層間絶縁膜 555 を形成する。有機樹脂としてはポリイミド、アクリル、BCB (ベンゾシクロブテン) 等を使用することができる。特に、第 2 層間絶縁膜 555 は TFT が形成する段差を平坦化する必要があるため、平坦性に優れたアクリル膜が好ましい。本実施例では 2.5  $\mu m$  の厚さでアクリル膜を形成する。

【0272】次に、第 2 層間絶縁膜 555、第 1 パッシベーション膜 554 にドレイン配線 553 に達するコンタクトホールを形成し、画素電極 (陽極) 556 を形成する。本実施例では酸化インジウム・スズ (ITO) 膜を 110 nm の厚さに形成し、パターニングを行って画素電極とする。また、酸化インジウムに 2~20% の酸化亜鉛 (ZnO) を混合した透明導電膜を用いても良い。この画素電極が EL 素子 203 の陽極となる。

【0273】次に、珪素を含む絶縁膜 (本実施例では酸化珪素膜) を 500 nm の厚さに形成し、画素電極 556 に対応する位置に開口部を形成して第 3 層間絶縁膜 557 を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパ形状の側壁とすることができる。開口部の側壁が十分になだらかでないと段差に起因する EL 層の劣化が顕著な問題となってしまう。

【0274】次に、EL 層 558 及び陰極 (MgAg 電極) 559 を、真空蒸着法を用いて大気解放しないで連続形成する。なお、EL 層 558 の膜厚は 800~2000 nm (典型的には 1000~1200 nm)、陰極 559 の厚さは 180~300 nm (典型的には 200~250 nm) とすれば良い。

【0275】この工程では、赤色に対応する画素、緑色に対応する画素及び青色に対応する画素に対して順次 E

L 層及び陰極を形成する。但し、EL 層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的に EL 層及び陰極を形成するのが好ましい。

【0276】即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光の EL 層及び陰極を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光の EL 層及び陰極を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光の EL 層及び陰極を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素に EL 層及び陰極を形成するまで真空を破らずに処理することが好ましい。

【0277】なお、EL 層 558 としては公知の材料を用いることができる。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層及び電子注入層でなる 4 層構造を EL 層とすれば良い。また、本実施例では EL 素子 203 の陰極として MgAg 電極を用いた例を示すが、公知の他の材料を用いることが可能である。

【0278】また、保護電極 560 としてはアルミニウムを主成分とする導電膜を用いれば良い。保護電極 560 は EL 層及び陰極を形成した時とは異なるマスクを用いて真空蒸着法で形成すれば良い。また、EL 層及び陰極を形成した後で大気解放しないで連続的に形成することが好ましい。

【0279】最後に、窒化珪素膜でなる第 2 パッシベーション膜 561 を 300 nm の厚さに形成する。実際には保護電極 560 が EL 層を水分等から保護する役割を果たすが、さらに第 2 パッシベーション膜 561 を形成しておくことで、EL 素子 203 の信頼性をさらに高めることができる。

【0280】こうして図 16 (C) に示すような構造のアクティブマトリクス型 EL 表示装置が完成する。201 がスイッチング用 TFT、202 が EL 駆動用 TFT、203 が電源制御用 TFT、204 が駆動回路用 n チャネル型 TFT、205 が駆動回路用 p チャネル型 TFT である。

【0281】なお、実際には、図 16 (C) まで完成したら、さらに外気に曝されないように気密性の高い保護フィルム (ラミネートフィルム、紫外線硬化樹脂フィルム等) やセラミックス製シーリングカンなどのハウジング材でパッケージング (封入) することが好ましい。

【0282】(実施例 11) 本実施例では、図 1 で示したソース信号側駆動回路 102 の詳しい構成について説明する。図 2 1 に本発明で用いられるソース信号側駆動

回路の一例を回路図で示す。

【0283】シフトレジスタ回路801、ラッチ(A)(802)、ラッチ(B)(803)、が図に示すように配置されている。なお本実施例では、1組のラッチ(A)(802)、ラッチ(B)(803)が、4本のソース信号線SLine\_1~SLine\_4に対応している。また本実施例では信号が有する電圧の振幅の幅を変えるレベルシフト回路を設けなかったが、設計者が適宜設けるようにしても良い。

【0284】クロック信号CK、CKの極性が反転したクロック信号CKb、スタートパルス信号SP、駆動方向切り替え信号SL/Rはそれぞれ図に示した配線からシフトレジスタ回路801に入力される。また外部から入力されるデジタルデータ信号VDは図に示した配線からラッチ(A)(802)に入力される。ラッチ信号S\_LAT、S\_LATの極性が反転した信号S\_LATbはそれぞれ図に示した配線からラッチ(B)(803)に入力される。

【0285】ラッチ(A)(802)の詳しい構成について、ソース信号線SLine\_aに対応するデジタルデータ信号を保持するラッチ(A)(802)の一部804を例にとって説明する。ラッチ(A)(802)の一部804は2つのクロックドインバータと2つのインバータを有している。

【0286】ラッチ(A)(802)の一部804の上面図を図22に示す。831a、831bはそれぞれ、ラッチ(A)(802)の一部804が有するインバータの1つを形成するTFTの活性層であり、836はインバータの1つを形成するTFTの共通のゲート電極である。また832a、832bはそれぞれ、ラッチ(A)(802)の一部804が有するもう1つのインバータを形成するTFTの活性層であり、837a、837bは活性層832a、832b上にそれぞれ設けられたゲート電極である。なおゲート電極837a、837bは電気的に接続されている。

【0287】833a、833bはそれぞれ、ラッチ(A)(802)の一部804が有するクロックドインバータの1つを形成するTFTの活性層である。活性層833a上にはゲート電極838a、838bが設けられており、ダブルゲート構造となっている。また活性層833b上にはゲート電極838b、839が設けられており、ダブルゲート構造となっている。

【0288】834a、834bはそれぞれ、ラッチ(A)(802)の一部804が有するもう1つのクロックドインバータを形成するTFTの活性層である。活性層834a上にはゲート電極839、840が設けられており、ダブルゲート構造となっている。また活性層834b上にはゲート電極840、841が設けられており、ダブルゲート構造となっている。

【0289】(実施例12)本発明を実施して形成され

たELディスプレイ(ELモジュール)は、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れている。そのため本発明は直視型のELディスプレイ(ELモジュールを組み込んだ表示ディスプレイを指す)に対して実施することが可能である。ELディスプレイとしてはパソコンモニタ、TV放送受信用モニタ、広告表示モニタ等が挙げられる。

【0290】また、本発明は上述のELディスプレイも含めて、表示ディスプレイを部品として含むあらゆる電子機器に対して実施することが可能である。

【0291】そのような電子機器としては、EL表示装置、ビデオカメラ、デジタルカメラ、頭部取り付け型ディスプレイ(ヘッドマウントディスプレイ等)、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはコンパクトディスク(CD)、レーザーディスク(登録商標)(LD)又はデジタルビデオディスク(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。それら電子機器の例を図17に示す。

【0292】図17(A)はパーソナルコンピュータであり、本体2001、筐体2002、表示部2003、キーボード2004等を含む。本発明のELディスプレイはパーソナルコンピュータの表示部に用いることができる。

【0293】図17(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明のELディスプレイはビデオカメラの表示部に用いることができる。

【0294】図17(C)は頭部取り付け型のEL表示装置の一部(右片側)であり、本体2301、信号ケーブル2302、頭部固定バンド2303、表示モニタ2304、光学系2305、表示部2306等を含む。本発明のELディスプレイはEL表示装置の表示部に用いることができる。

【0295】図17(D)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体2401、記録媒体(CD、LDまたはDVD等)2402、操作スイッチ2403、表示部(a)2404、表示部(b)2405等を含む。表示部(a)は主として画像情報を表示し、表示部(b)は主として文字情報を表示するが、本発明のELディスプレイは記録媒体を備えた画像再生装置の表示部(a)及び(b)に用いることができる。なお、記録媒体を備えた画像再生装置としては、CD再生装置、ゲーム機器などに本発明を用いることができる。

【0296】図17(E)は携帯型(モバイル)コンピュータであり、本体2501、カメラ部2502、受像

10

20

30

40

50

部 2503、操作スイッチ 2504、表示部 2505 等を含む。本発明の EL ディスプレイは携帯型（モバイル）コンピュータの表示部に用いることができる。

【0297】また、将来的に EL 材料の発光輝度が高くなれば、フロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0298】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1～11 のどのような組み合わせからなる構成を用いても実現することができる。

【0299】

【発明の効果】

【0300】上記構成によって、EL 駆動電圧は電源制御用 TFT のゲート電極に接続される外部スイッチを通じて制御することが可能となり、従来の EL 駆動電圧を制御するための、対向電極と接続されている大電力外部スイッチを取り除くことが可能となる。従って、対向電極と接続されている大電力外部スイッチによる EL 駆動回路の電流値の制限を取り除くことが可能となり、また、対向電極と接続されている大電力外部スイッチに起因する周波数特性の低下を防ぎ、階調数の減少を防ぐことが可能となる。

【0301】なお電源制御用 TFT は、スイッチング用 TFT 及び EL 駆動用 TFT と同時に形成することが可能である。

【図面の簡単な説明】

【図 1】 本発明の EL ディスプレイの回路構成を示す図。

【図 2】 本発明の EL ディスプレイの画素部の回路図。

【図 3】 本発明の EL ディスプレイの画素の回路図。

【図 4】 本発明の実施例 1 の EL ディスプレイの画素部の回路図。

【図 5】 EL ディスプレイの駆動方法を示すタイミングチャート。

【図 6】 本発明の実施例 1 の EL ディスプレイの画

素部の回路図。

【図 7】 本発明の実施例 1 の EL ディスプレイの画素部の回路図。

【図 8】 本発明の実施例 1 の EL ディスプレイの画素部の回路図。

【図 9】 本発明の実施例 3 の EL ディスプレイの上面図及び断面図。

【図 10】 本発明の実施例 3 の EL ディスプレイの上面図及び断面図。

10 【図 11】 本発明の実施例 4 の EL ディスプレイの断面構造の概略図。

【図 12】 本発明の実施例 5 の EL ディスプレイの断面構造の概略図。

【図 13】 本発明の実施例 10 の EL ディスプレイの作製工程を示す図。

【図 14】 本発明の実施例 10 の EL ディスプレイの作製工程を示す図。

【図 15】 本発明の実施例 10 の EL ディスプレイの作製工程を示す図。

20 【図 16】 本発明の実施例 10 の EL ディスプレイの作製工程を示す図。

【図 17】 本発明の実施例 12 の EL ディスプレイを用いた電子機器。

【図 18】 従来の EL ディスプレイの画素部の回路図。

【図 19】 従来の EL ディスプレイの画素の回路図。

【図 20】 本発明の実施例 12 の EL ディスプレイの画素部の回路図。

【図 21】 本発明の実施例 11 において用いられるソース信号側駆動回路の回路図。

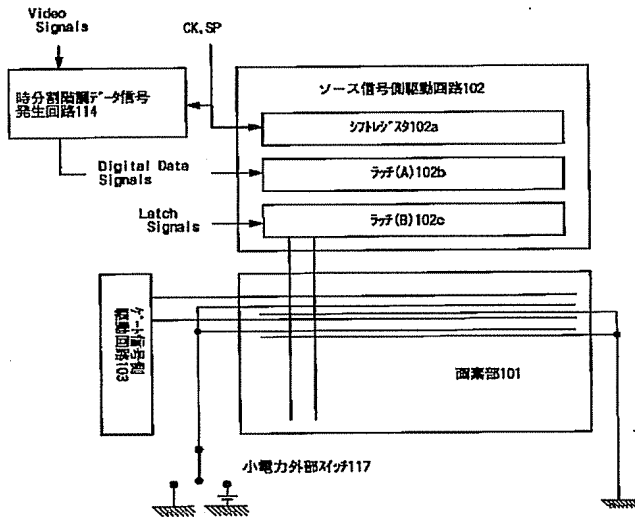
【図 22】 本発明で用いられるラッチ回路の上面図。

【図 23】 従来の EL ディスプレイの回路構成を示す図。

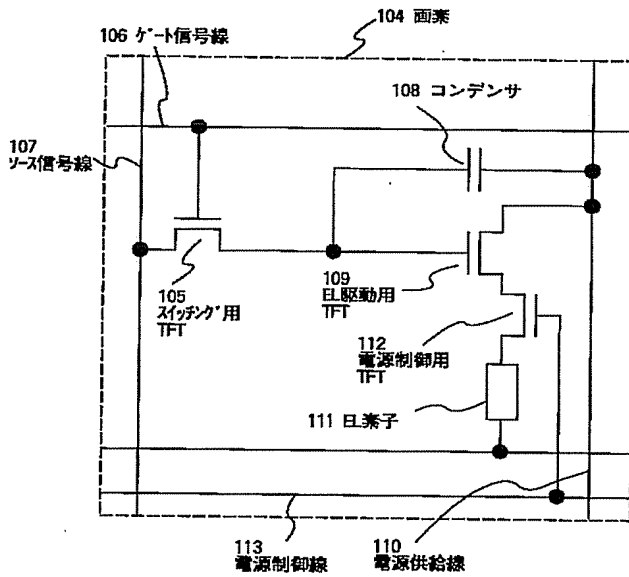
【図 24】 本発明の実施例 6 の EL ディスプレイの上面図及び断面図。

【図 25】 本発明の実施例 7 の EL ディスプレイの断面図。

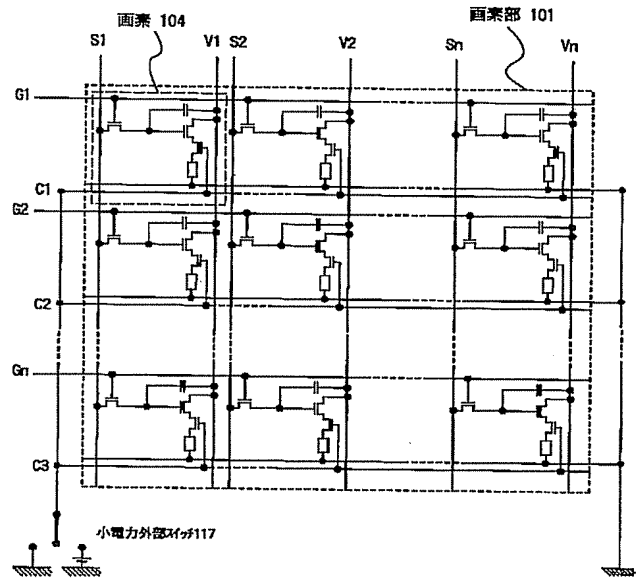
【図 1】



【図 3】

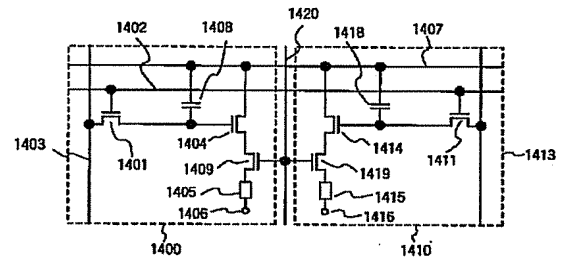


【図 2】

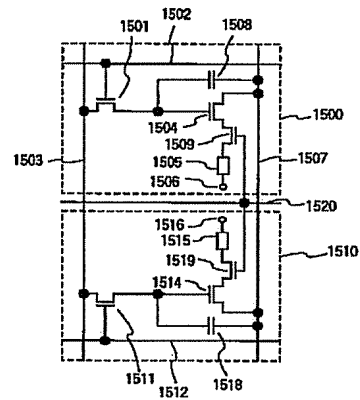


【図 4】

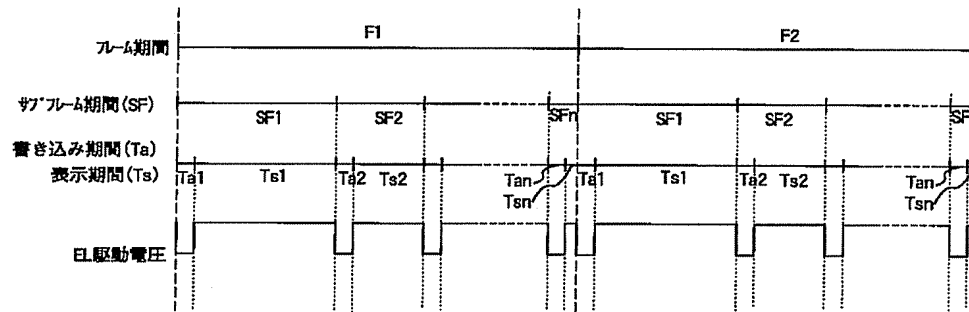
(A)



(B)

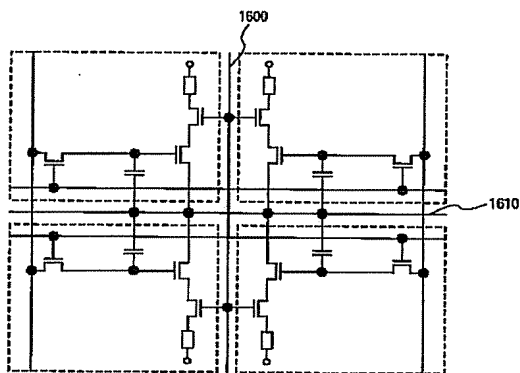


【図 5】

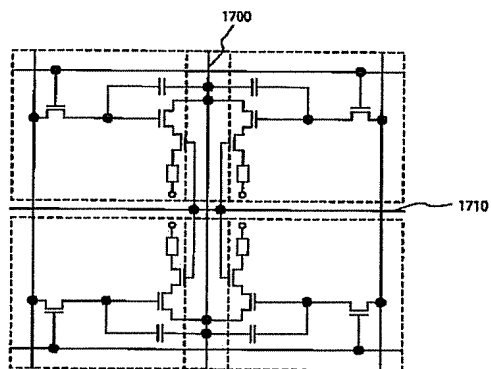


【図 6】

(A)

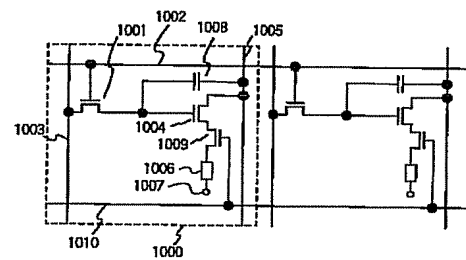


(B)

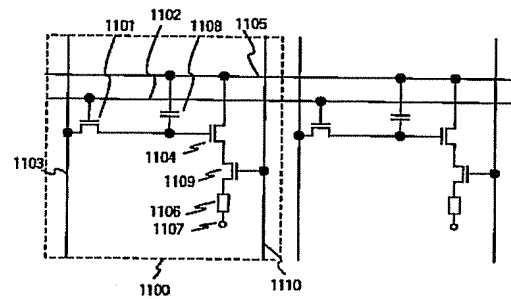


【図 7】

(A)

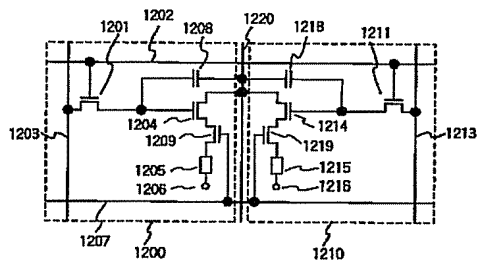


(B)

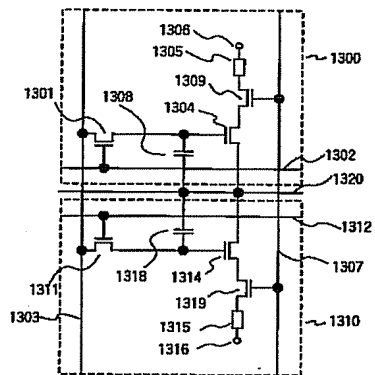


【図 8】

(A)

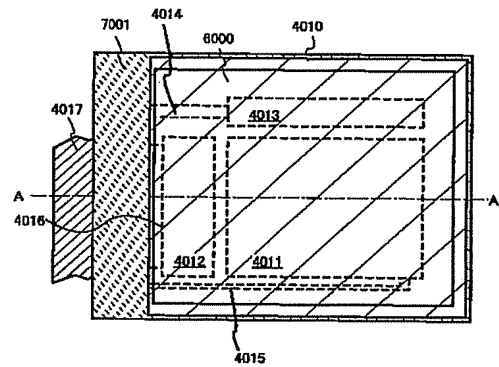


(B)

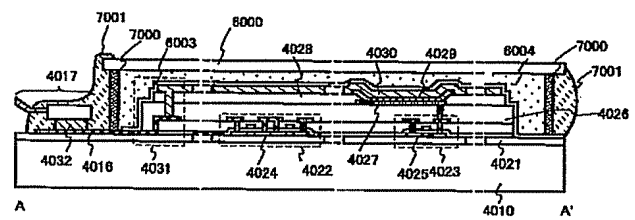


【図 9】

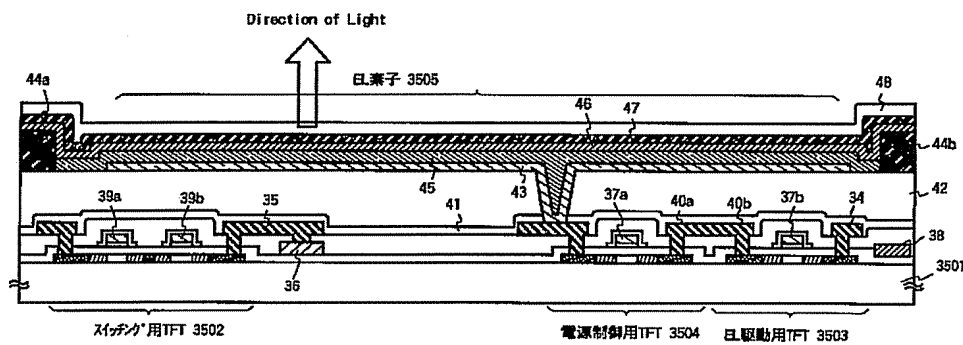
(A)



(B)

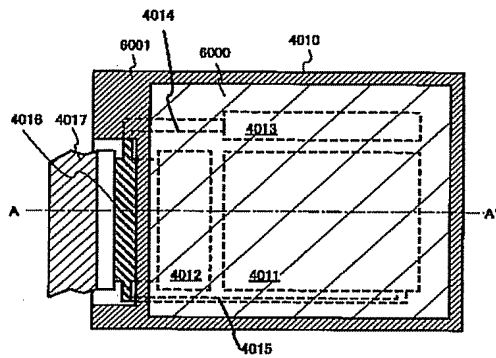


【図 1 1】

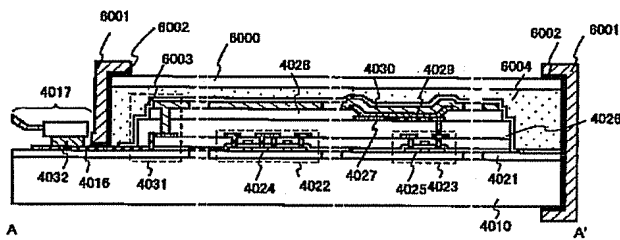


【図10】

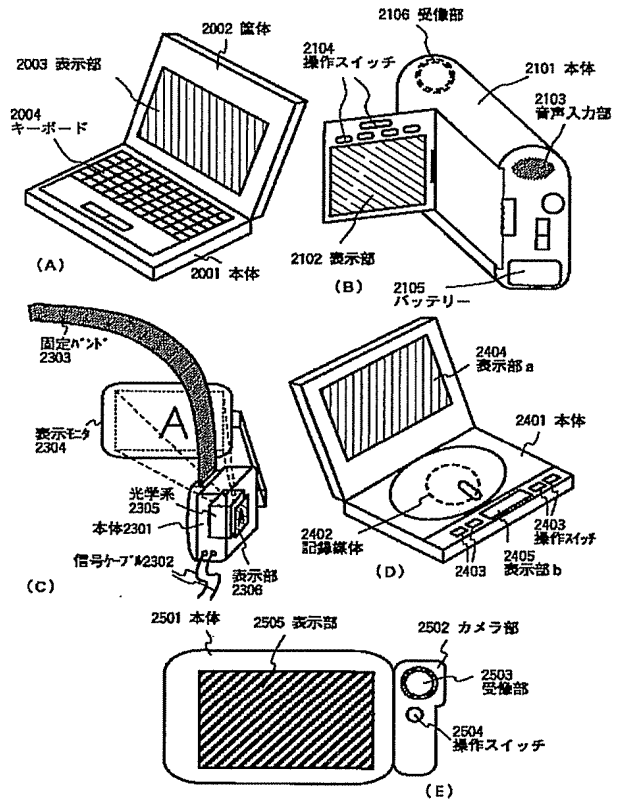
(A)



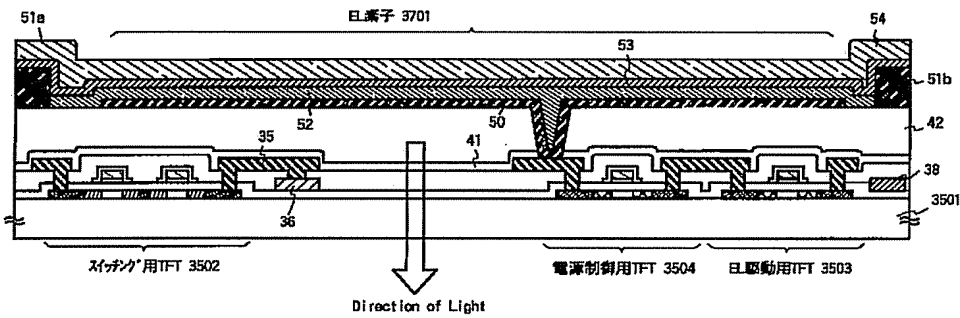
(B)



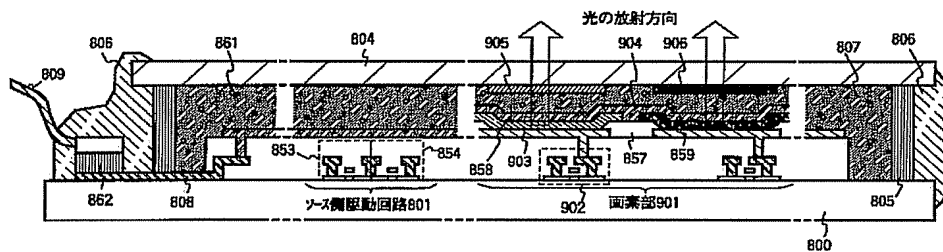
【図17】



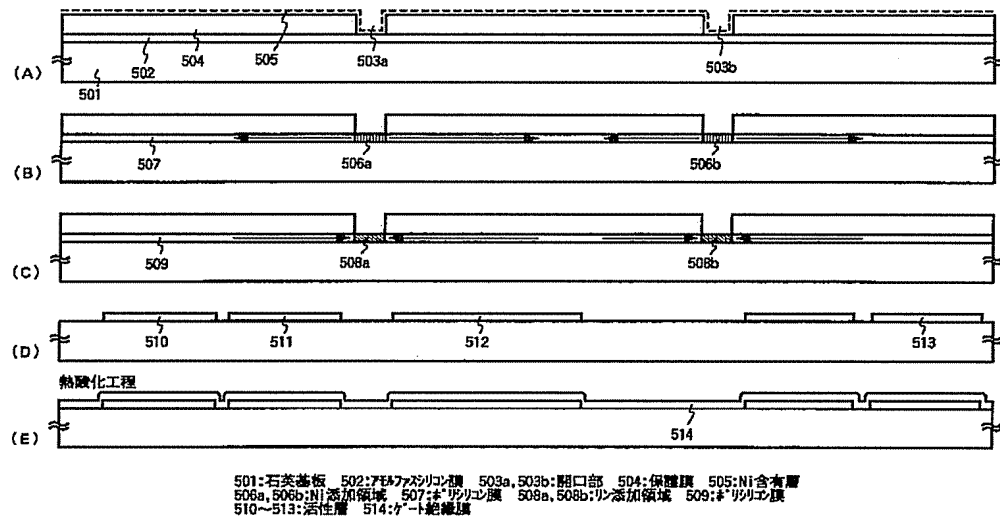
【図12】



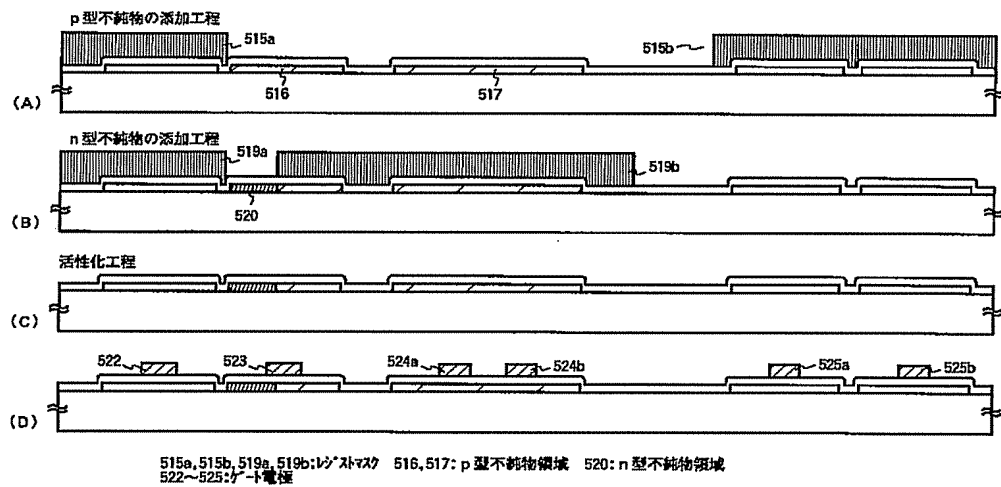
【図25】



【図13】

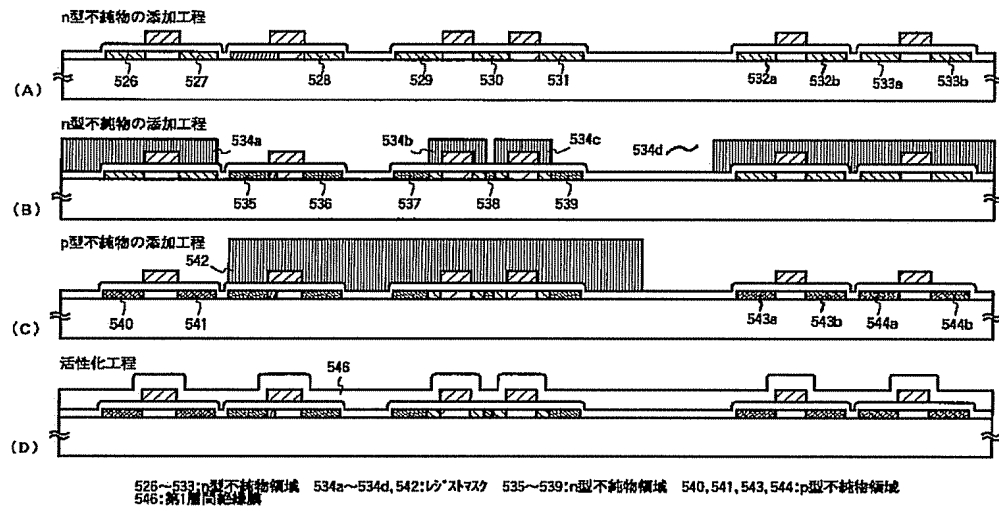


【図14】

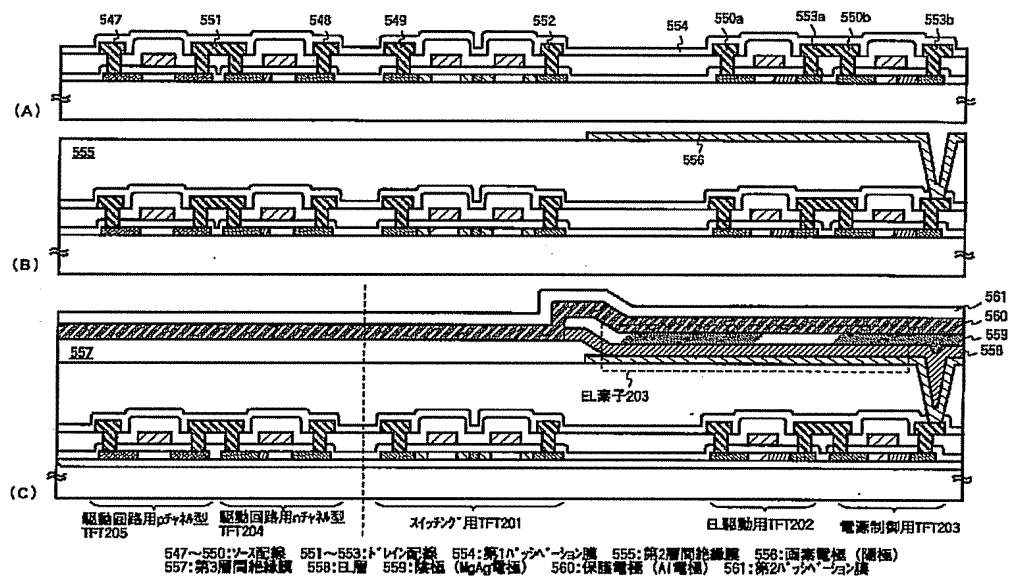




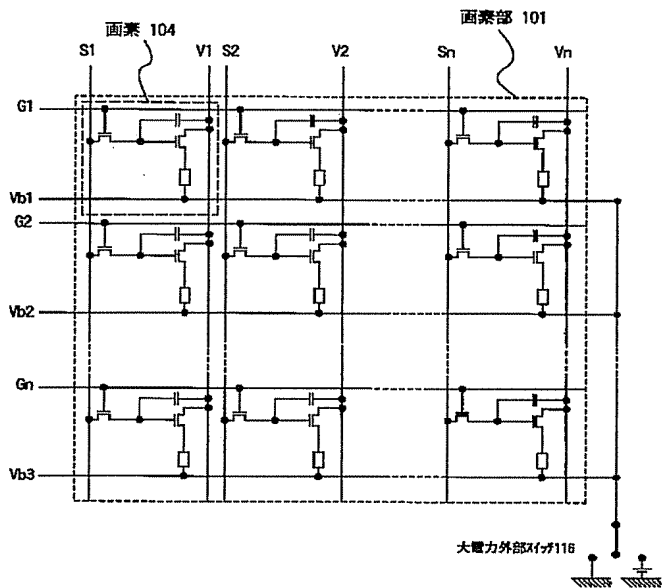
【図15】



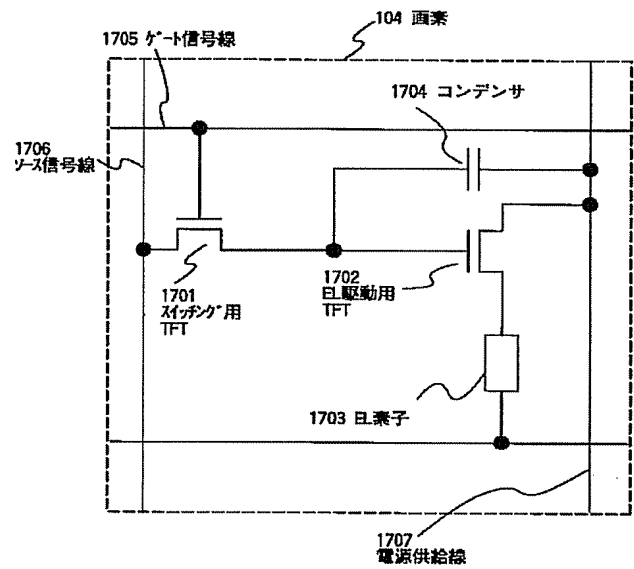
【図16】



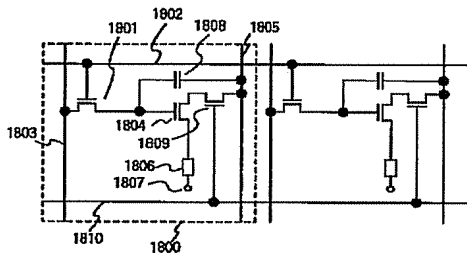
【図 18】



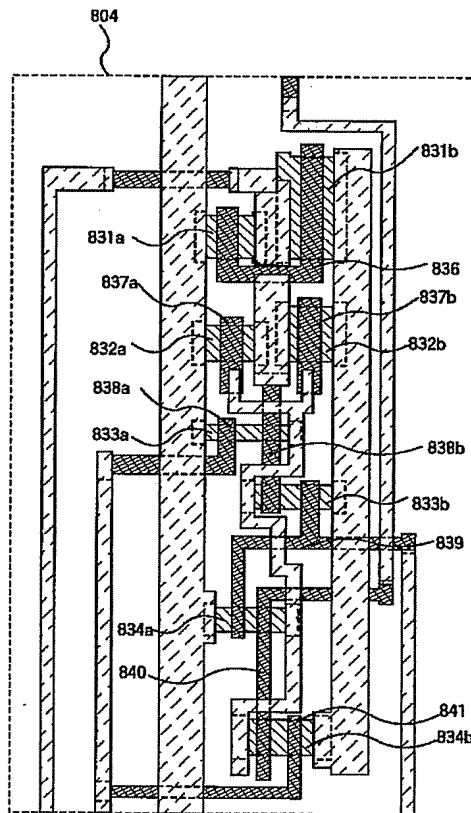
【図 19】



【図 20】



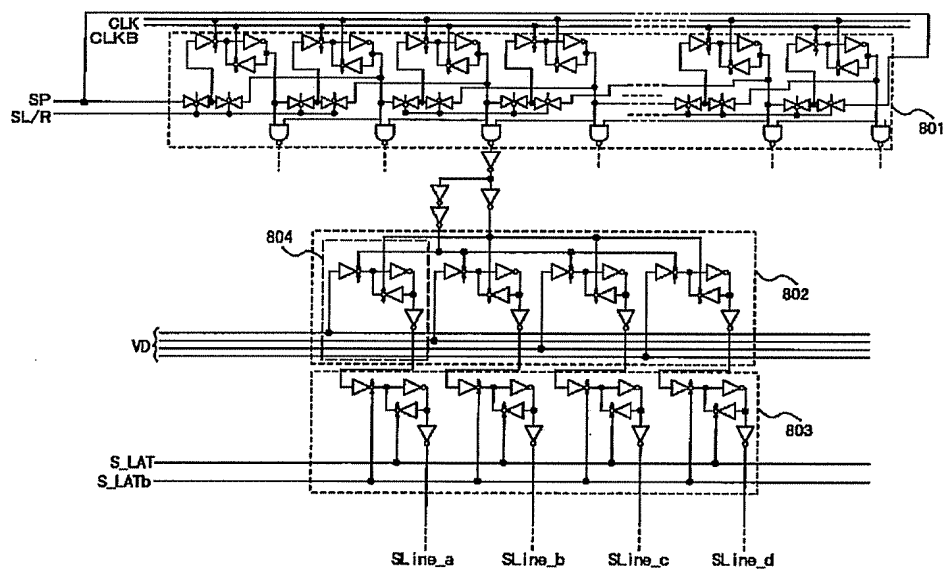
【図 22】



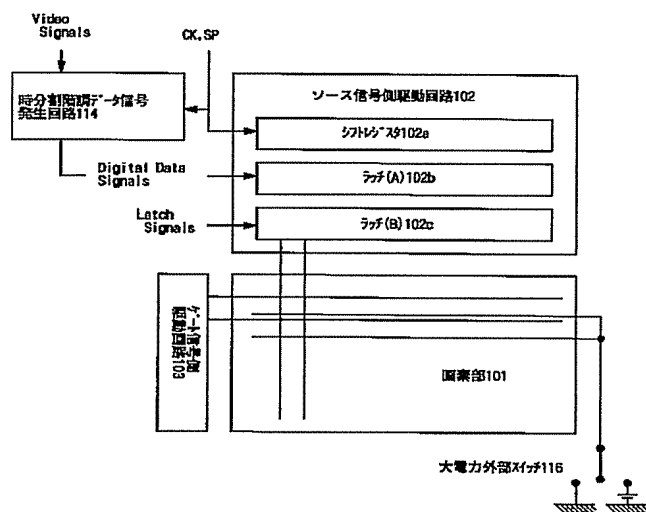
(A)

(B)

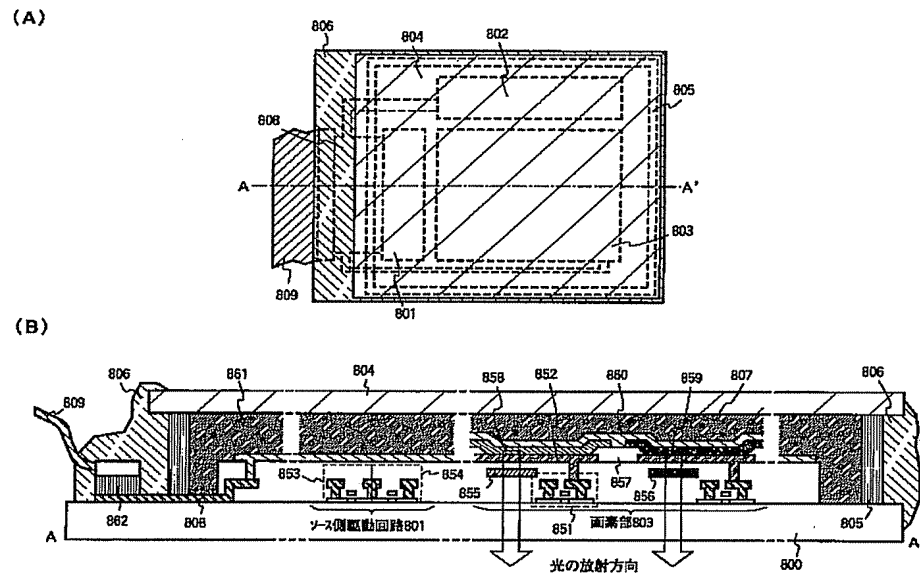
【図 2 1】



【図 2 3】



【図 24】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

G 0 9 G 3/20

H 0 5 B 33/14

識別記号

6 4 1

F I

G 0 9 G 3/20

H 0 5 B 33/14

ターマコード (参考)

6 4 1 E

A

F ターム (参考) 3K007 AB04 AB12 AB13 AB14 BA06  
 BB02 BB06 CB01 DA00 DB03  
 EB00 FA01 FA02 FA03 GA04  
 5C080 AA06 BB05 CC03 DD01 FF12  
 JJ02 JJ03 JJ04 JJ06 KK02  
 KK43  
 5C094 AA07 AA08 AA33 BA03 BA27  
 CA19 EA04 EA05 EB02 ED02  
 HA05 HA06 HA07 HA08 HA10